PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-060342
(43)Date of publication of application : 28.02.2003

(51)Int.Cl. H05K 3/38
H05K 3/18
H05K 3/46

(21)Application number : 2002-227202
(22)Date of filing : 23.07.1997

(71)Applicant : IBIDEN CO LTD
(72)Inventor : ASAI MOTOO

(30)Priority

Priority number : 08354971 Priority date : 19.12.1996 Priority country : JP
08357801 28.12.1996 JP

(54) MULTILAYER PRINTED WIRING BOARD AND MANUFACTURING METHOD THEREFOR

(57)Abstract:
PROBLEM TO BE SOLVED: To prevent cracks in an interlayer insulating layer, which occurs at heat cycle without dropping peeling strength.
SOLUTION: In a multilayer printed wiring board, the interlayer insulating layer is formed on the conductor circuit of a wiring board. The conductor circuit is constituted of an electroless plated film and an electrolytic plated layer. A roughened layer is arranged, at least on one part of the surface.

* NOTICES *

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]
[Claim 1]In a multilayer printed wiring board with which covers a substrate with which a conductor circuit of a inner layer was provided, a layer insulation layer is formed, and it comes to form a conductor circuit of an outer layer on the layer insulation layer, A multilayer printed wiring board, wherein a roughened layer is formed in the surface of said layer insulation layer and a conductor circuit of said outer layer comprises an electroless plating film stuck to said roughened layer, and an electrolysis plating film formed on the electroless plating film.
[Claim 2]After covering a substrate with which a conductor circuit of a inner layer was provided, forming a layer insulation layer and forming a roughened layer in the surface of the layer insulation layer, Perform nonelectrolytic plating processing, form an electroless plating film on a roughened layer, provide plating resist on the electroless plating film, perform electrolysis plating processing further, form an electrolysis plating film in a plating-resist agenesis portion of an electroless plating film, and subsequently, A manufacturing method of a multilayer printed wiring board providing a conductor circuit of an outer layer which carries out dissolution removal of the electroless plating film under plating resist, and consists of an electroless plating film and an electrolysis plating film by an etching process after removing plating resist.

[Translation done.]

* NOTICES *

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention]Especially this invention relates to the multilayer printed wiring board which controlled generating of the crack at the time of a thermo cycle, and its manufacturing method, without causing the fall of peel strength about a multilayer printed wiring board and its manufacturing method.
[0002]
[Description of the Prior Art]In recent years, what is called a build up multilayer interconnection board attracts attention from a request called the densification of a multilayer interconnection board. This build up multilayer interconnection board is manufactured by a method which is indicated by JP,4-55555,B, for example. Namely, on a core substrate, apply the insulation material which consists of photosensitive adhesives for nonelectrolytic plating, form the layer insulation material layer which has an opening for viaholes by [which dried this] carrying out back exposure development, and it ranks second, After roughening the surface of this layer insulation material layer by processing by an oxidizer etc., plating resist is provided in that roughened surface, Then, the multilayered build up wiring board is obtained by performing nonelectrolytic plating to a resist agenesis portion, forming a viahole and a conductor circuit, and repeating such a process two or more times.
[0003]
[Problem(s) to be Solved by the Invention]However, in such a multilayer printed wiring board, a conductor circuit is established in the agenesis portion of plating resist, and plating resist remains as it is in a inner layer. Therefore, when an IC chip etc. are carried in this wiring board, at the time of a thermo cycle according to the difference of the coefficient of thermal expansion of an IC chip and a resin insulating layer. The substrate curved, since there was no adhesion between plating resist and a conductor circuit, stress concentrated on these boundary parts, and the layer insulation layer in contact with this boundary part had a problem that a crack will occur.
[0004]This invention is made in order to solve the above-mentioned problem which conventional technology has. The purpose does not cause the fall of other characteristics, especially peel strength, but there is in preventing the crack of the layer insulation layer generated at the time of a thermo cycle.
[0005]
[Means for Solving the Problem]An artificer thought out contents shown below to an invention considered as gist composition, as a result of inquiring wholeheartedly towards realization of the above-mentioned purpose.
(1) In a multilayer printed wiring board with which a layer insulation layer was formed on a conductor circuit of a wiring board as for a multilayer printed wiring board of this invention, said conductor circuit consists of an electroless plating film and an electrolysis plating film, and is characterized by a thing of the surface established for a roughened layer in part at least. In this multilayer printed wiring board, things of a conductor circuit are [providing a roughened layer in a part of surface which includes the side at least] preferred, and, as for a roughened layer, consisting of an alloy plating of copper-nickel phosphorus is preferred.
[0006](2) A manufacturing method of a multilayer printed wiring board of this invention, After performing nonelectrolytic plating on a substrate, provide plating resist, perform electrolysis plating and subsequently, A conductor circuit which carries out an etching process and consists of an electroless plating film and an electrolysis plating film after removing plating resist is provided, and further, after [the conductor circuit surface] forming a roughened layer in part at least, a layer insulation layer is provided. As for the above-mentioned roughened layer, being formed of an alloy plating of copper-nickel phosphorus is preferred.

[0007]
[Embodiment of the Invention]In the printed wired board of this invention, a conductor circuit comprises an electrolysis plating film and an electroless plating film, an electroless plating film is formed more in the inner layer side, and the electrolysis plating film is formed more in the outer layer side (refer to drawing 18 and the enlarged drawing of drawing 19). If it has such composition, since an electrolysis plating film is more softly [than an electroless plating film] rich in malleability, the conductor circuit can follow the dimensional change of the resin insulating layer between layers, even if curvature occurs in a substrate at the time of a thermo cycle. In the printed wired board of this invention, since the roughened layer is provided on the surface of the conductor circuit, the conductor circuit is firmly stuck with the resin insulating layer between layers, and it is easy to follow it by the dimensional change of the resin insulating layer between layers.
[0008]As a result, even when according to the printed wired board of this invention an IC chip is carried and the heat cycle test of −55 ** − 125 ** is done, generating of the crack of the resin insulating layer between layers on the basis of a conductor circuit can be controlled, and exfoliation is not seen, either. Especially the thing of a conductor circuit for which a roughened layer is provided in the side at least is a point which can control the crack generated in the resin insulating layer between layers with the interface of the conductor circuit side and resin between layers in contact with it as the starting point, and is advantageous.
[0009]In the printed wired board of this invention, since the electroless plating film harder than an electrolysis plating film constitutes the inner layer side from that of a conductor, peel strength is not reduced. Because, peel strength is because it becomes so large that the hardness of the side (portion which contacts a roughened surface when the adhesives for nonelectrolytic plating mentioned later are adopted as a layer insulation agent) in contact with the layer insulation layer by the side of the inner layer of a conductor circuit is hard.
[0010]According to the manufacturing method of this invention, such a multilayer printed wiring board can be manufactured easily.
[0011]Plating resist of a inner layer is removed, the roughened layer which consists of copper−nickel phosphorus is provided in the conductor circuit surface which consists of electroless plating films, and the art of preventing interlaminar peeling is indicated by JP,6−283860,A. However, an invention given in this gazette stops at indicating the conductor circuit which there is no recognition about the crack generated when an IC chip is actually carried and a heat cycle test is done, and consists only of electroless plating films. And when retested about the effect (refer to this application comparative example), when it was about 1000 times, generating of the crack was not seen about the heat cycle test of −55 ** − 125 **, but generating of the crack was observed when this was exceeded. So, an invention given in this gazette completely differs from the invention in this application.
[0012]As for the roughened layer on the surface of a conductor circuit, in this invention, it is desirable that they are a roughened surface of the copper formed of an etching process, grinding treatment, oxidation treatment, and an oxidation reduction process or the roughened surface formed of the plating tunic.
[0013]As for especially this roughened layer, it is desirable that it is an alloy layer which consists of copper−nickel phosphorus. This alloy layer is a needle crystal layer, and this is because it excels in adhesion with a solder resist layer. It is because there is no big change in electric conductivity and a solder object can be formed also on metallic pads, even if it forms a solder object on this alloy layer. The presentations of this alloy layer are copper, nickel, and a rate of Lynn, and it is desirable respectively that it is 0.5 − 2wt% 1 − 5wt% 90 − 96wt%. It is because it has a needlelike structure at the time of these presentation rates.
[0014]If the presentation of Cu−nickel−P which can form a needle crystal is shown in the triangular figure of a ternary system, it will become like drawing 20. According to this figure, the range surrounded by = (Cu, nickel, P) (100, 0, 0), (90, 10 and 0), and (90, 0 and 10) is good.
[0015]When forming a roughened layer by oxidation treatment, it is desirable to use the solution of the oxidizer which consists of sodium chlorite, sodium hydroxide, and sodium phosphate. When forming a roughened layer by an oxidation reduction process, it is desirable after the above−mentioned oxidation treatment to carry out by being immersed in the solution of the reducing agent which consists of sodium hydroxide and sodium borohydride.
[0016]Thus, as for the roughened layer on the surface of a conductor circuit formed, it is desirable for thickness to be 1−5 micrometers. This is because adhesion will fall if too thin [if too thick, the roughened layer itself will be damaged and it will exfoliate easily, and].
[0017]said electroless plating film which constitutes a conductor circuit in this invention −− thickness 0.1−5

micrometers -- more -- desirable -- It is desirable to be referred to as 0.5-3 micrometers. This is because flattery nature with the resin insulating layer between layers will fall if too thick, resistance will become large when causing the fall of peel strength and performing electrolysis plating, if too conversely thin, and variation will occur in the thickness of a plating film.

[0018]As for said electrolysis plating film which constitutes a conductor circuit, it is desirable for 5-30 micrometers of thickness to be 10-20 micrometers more preferably. This is because flattery nature with the resin insulating layer between layers will fall if too thin [if too thick, the fall of peel strength will be caused, and].

[0019]In this invention, the thing of a conductor circuit for which the roughened layer is formed in the side at least is desirable. The crack which produces this reason in the resin insulating layer between layers by a thermo cycle, It is because the crack generated in the resin insulating layer between layers with the interface of the conductor circuit side and a resin insulating layer as the starting point by originating in poor adhesion of the conductor circuit side and a resin insulating layer, producing, and having such composition can be prevented.

[0020]It is desirable to use the adhesives for nonelectrolytic plating as a resin insulating layer between layers which constitutes the above-mentioned wiring board from this invention. These adhesives for nonelectrolytic plating have the optimal thing which it comes to distribute in the heat resistant resin which is not hardened [from which the heat resistant resin particle of fusibility becomes acid or the oxidizer by which curing treatment was carried out with poor solubility by curing treatment at acid or an oxidizer]. dissolution removal of the heat resistant resin particle is carried out by processing with acid and an oxidizer -- the surface -- an octopus -- it is because the roughened surface which consists of a jar-like anchor can be formed.

[0021]In the above-mentioned adhesives for nonelectrolytic plating, as said heat resistant resin particle by which especially curing treatment was carried out, ** The floc which mean particle diameter condenses heat resistant resin powder of 10 micrometers or less, and ** mean particle diameter made condense heat resistant resin powder of 2 micrometers or less, The heat-resistant powdered resin powder and mean particle diameter whose mean particle diameter is 2-10 micrometers ** A mixture with heat resistant resin powder of 2 micrometers or less, ** The false particles to which one sort is made to come to adhere even if the surface of heat resistant resin powder whose mean particle diameter is 2-10 micrometers has little mean particle diameter either as for heat resistant resin powder of 2 micrometers or less or inorganic powder, ** the heat resistant resin powder of mean particle diameter 0.1 - 0.8 mum, and mean particle diameter exceeding 0.8 micrometer -- a mixture with heat resistant resin powder with a mean particle diameter of less than 2 micrometers, and ********** -- even if small [either], it is desirable to use one sort. It is because these can form a more complicated anchor.

[0022]Next, law is explained while manufacturing the printed wired board concerning this invention.

(1) Produce first the wiring board in which the inner layer copper pattern was formed on the surface of the core substrate. . [whether formation of the copper pattern to this core substrate is performed by etching copper clad laminate, and] Or the adhesives layer for nonelectrolytic plating is formed in substrates, such as a glass epoxy board, a polyimide substrate, a ceramic substrate, and a metal substrate, and this adhesive layer surface is roughened, it is considered as a roughened surface, and there is a method of performing nonelectrolytic plating here and performing it here.

[0023]Furthermore, the roughened layer which consists of copper-nickel phosphorus is formed in the copper pattern surface of the above-mentioned wiring board if needed. This roughened layer is formed by nonelectrolytic plating. The liquid composition of this nonelectrolytic plating Copper ion concentration, nickel ion concentration, Hypophosphorous acid ion concentration is each. It is desirable that they are 2.2×10^{-2} - 4.1×10^{-2}mol/l, 2.2×10^{-3} - 4.1×10^{-3}mol/l, and 0.20 - 0.25 mol/l. It is because the crystal structure of the tunic which deposits in this range turns into needlelike structure, so it excels in an anchor effect. In addition to the above-mentioned compound, a complexing agent and an additive agent may be added to the bath of this nonelectrolytic plating. If it is considered as the formation method of a roughened layer, there are the method of etching the oxidation (melanism)-reduction processing and the copper surface which were mentioned above along a grain boundary, and forming a roughened surface, etc.

[0024]A through hole is formed in a core substrate and the wiring layer of the surface and a rear face can electrically be connected to it via this through hole. It fills up with resin between a through hole and the conductor circuit of a core substrate, and smooth nature may be secured (refer to drawing 1 - drawing 4).

[0025](2) Next, the above (1) The resin insulating layer between layers is formed on the produced wiring board. It is desirable to use the adhesives for nonelectrolytic plating mentioned [especially] above as

resin insulation between layers in this invention (refer to drawing 5).
[0026](3) Above (2) After drying the formed adhesives layer for nonelectrolytic plating, the opening for viahole formation is provided if needed. heat-hardening at this time, after exposing in the case of a photopolymer and developing negatives -- in the case of thermosetting resin, the opening for viahole formation is provided in said adhesives layer by [which heat-hardened] carrying out after laser processing (refer to drawing 6).
[0027](4) Next, carry out dissolution removal of the epoxy resin particle which exists in the surface of said hardened adhesives layer with acid or an oxidizer, and carry out roughening treatment of the adhesive layer surface (refer to drawing 7). Here, although there is organic acid, such as phosphoric acid, chloride, sulfuric acid or formic acid, and acetic acid, as the above-mentioned acid, it is desirable to use especially organic acid. It is because it is hard to make the metallic conductor layer exposed from a viahole corrode when roughening treatment is carried out. On the other hand, it is desirable to use chromic acid and permanganates (potassium permanganate etc.) as the above-mentioned oxidizer.
[0028](5) Next, give a catalyst core to the wiring board which roughened the adhesive layer surface. It is desirable to grant of a catalyst core to use precious-metals ion, noble metal colloid, etc., and, generally, it uses a palladium chloride and palladium colloid for it. Heat-treating, since a catalyst core is fixed is desirable. As such a catalyst core, palladium is good.
[0029](6) Next, perform nonelectrolytic plating to the adhesives surface for nonelectrolytic plating, and form an electroless plating film in it all over a roughened surface (refer to drawing 8). this time -- thickness of an electroless plating film 0.1-5 micrometers -- more -- desirable -- It may be 0.5-3 micrometers. Next, plating resist is formed on an electroless plating film (refer to drawing 9). Although it is desirable to use the constituent which consists of the acrylate and the imidazole hardening agent of cresolnovolak or phenol novolak type epoxy resin especially as a plating-resist constituent, a commercial item can also be used for others.
[0030](7) Next, perform electrolysis plating to a plating-resist agenesis part, and form a conductor circuit and a viahole (refer to drawing 10). As for the thickness of an electrolysis plating film, at this time, 5-30 micrometers is desirable. Here, as the above-mentioned nonelectrolytic plating, it is desirable to use copper plating.
[0031](8) Furthermore, with etching reagents, such as mixed liquor of sulfuric acid and hydrogen peroxide, sodium persulfate, ammonium persulfate, carry out dissolution removal and let the electroless plating film under plating resist be the independent conductor circuit, after removing plating resist (refer to drawing 11).
[0032](9) Next, form a roughened layer on the surface of a conductor circuit (refer to drawing 12). Formation methods of a roughened layer include an etching process, grinding treatment, an oxidation reduction process, and plating processing. An oxidation reduction process makes a reduction bath an oxidation bath (melanism bath), NaOH (10 g/l), and $NaBH_4$ (5 g/l) for NaOH (10 g/l), $NaClO_2$ (40 g/l), and Na_3PO_4 (6 g/l) among these processings. The roughened layer which consists of a copper-nickel phosphorus alloy layer is formed by the deposit by nonelectrolytic plating processing. As electroless plating liquid of this alloy, they are 1-40 g/l of copper sulfate, and nickel sulfate. 0.1 - 6.0 g/l, It is desirable to use the plating bath of the liquid composition which consists of 10-20 g/l of citrate, the hypophosphite 10 - 100 g/l, 10-40 g/l of boric acid, and 0.01-10 g/l of surface-active agents.
[0033](10) Next, form the adhesives layer for nonelectrolytic plating as a resin insulating layer between layers on this substrate (refer to drawing 13).
(11) Further, (3) - (8) A process is repeated and the upper conductor circuit is provided further (drawing 14 - 17 references). Here, in the surface of a conductor circuit, it is the above (9). A roughened layer may be formed similarly.
[0034](12) Next, form in it the opening which laid the photomask film which drew the opening in this coat, and exposed the pad portion to it among conductor circuits exposure and by carrying out a development after applying a soldering resist composition to the surface of the wiring board obtained in this way and drying that coat on it. Here, the opening diameter of said opening can be made larger than the path of a pad, and may expose a pad thoroughly. Conversely, the opening diameter of said opening can be made smaller than the path of a pad, and can cover **** of a pad with a solder resist. In this case, a pad can be stopped by a solder resist and exfoliation of a pad can be prevented.
[0035](13) Next, form the metal layer of "nickel gold" on said pad section exposed from said opening.
[0036](14) Next, supply a solder object on said pad section exposed from said opening. A solder replica method and print processes can be used as a feeding method of a solder object. A solder replica method

pastes solder foil together to prepreg, by leaving and etching only the part which is equivalent to the opening part in this solder foil, forms a solder pattern and uses it as a solder carrier film here, It is the method of laminating this solder carrier film so that a solder pattern may contact a pad, after applying flux to the solder resist opening part of a substrate, and heating and transferring this. On the other hand, print processes are methods of laying the metal mask which provided the breakthrough in the part equivalent to a pad in a substrate, and printing and heat-treating soldering paste.

[0037]

[Example](Example 1)

(1) Copper clad laminate which the 18-micrometer copper foil 8 comes to laminate to both sides of the substrate 1 which consists of 0.6-mm-thick glass epoxy resin or BT (bismaleimide triazine) resin was made into the charge of a start material (refer to drawing 1). The inner layer copper pattern 4 and the through hole 9 were formed in both sides of a substrate by performing etching, hole dawn, and nonelectrolytic plating for the copper foil 8 of this copper clad laminate to pattern state in accordance with a conventional method (refer to drawing 2). It was filled up with bisphenol F type epoxy resin between the conductor circuits 4 and in the through hole 9 (refer to drawing 3).

[0038](2) Above (1) Wash in cold water the substrate which finished processing, and after drying, carry out acid degreasing of the substrate, and carry out soft etching and it ranks second, Process with the catalyst solution which consists of a palladium chloride and organic acid, and a Pd catalyst is given, 8 g/l of copper sulfate, nickel sulfate after activating this catalyst 0.6 g/l, It plates with 15 g/l of citrate, 29 g/l of sodium hypophosphite, 31 g/l of boric acid, 0.1 g/l of surface-active agents, and the nonelectrolytic plating bath that consists of pH=9, and is the thickness of a Cu-nickel-P alloy to the surface of the copper conductor circuit 4. The 2.5-micrometer roughened layer 11 (uneven layer) was formed (refer to drawing 4).

[0039](3) the cresol novolak type epoxy resin (the Nippon Kayaku make.) which dissolved in DMDG (diethylene glycol dimethyl ether) The acrylic ghost of the molecular weight 2500 25% 70 weight sections, polyether sulphone (PES) 30 weight section, Imidazole hardening agent (made in [Shikoku Chemicals], trade name:2E4 MZ-CN) 4 weight section, caprolactone conversion tris (AKUROKISHI ethyl) isocyanurate (the Toagosei make.) which is a photosensitive monomer Trade name : ARONIKKUSU M325 10 weight section, benzophenone (made by Kanto Kagaku) 5 weight section as a photoinitiator, the Michler's-ketone (made by Kanto Kagaku) 0.5 weight section as a photosensitizer -- receiving this mixture further -- mean particle diameter of an epoxy resin particle A 5.5-micrometer thing 35 weight sections, Mean particle diameter After mixing five weight sections for a 0.5-micrometer thing, it mixed adding NMP (normal methyl pyrrolidone), it adjusted and kneaded to the viscosity of 12 Pa, and s with 3 rolls continuously the HOMODI spar agitator, and the photosensitive adhesives solution (resin insulation between layers) was obtained.

[0040](4) Above (3) About the obtained photosensitive adhesives solution, it is the above (2). After using and applying the roll coater to both sides of the substrate which finished processing and neglecting it to them for 20 minutes by the horizontal state, desiccation for 30 minutes was carried out to them at 60 **, and the 60-micrometer-thick adhesives layer 2 was formed in them (refer to drawing 5).

(5) Above (4) The photomask film in which the viahole was drawn was laid in both sides of the substrate in which the adhesives layer 2 was formed, and ultraviolet rays were irradiated with and exposed.

[0041](6) Be in an adhesives layer by carrying out spray development of the exposed substrate with a DMTG (triethylene glycol wood ether) solution. The opening used as the viahole of 100 micrometerphi was formed. The substrate concerned is exposed by 3000 mJ/cm^2 with an ultrahigh pressure mercury lamp, and it is 1 hour and after that at 100 **. By heat-treating at 150 ** in 5 hours, It excelled in the dimensional accuracy equivalent to a photomask film, and the adhesives layer 2 with a thickness of 50 micrometers which has the opening (opening 6 for viahole formation) which gathered three pieces and was formed was formed (refer to drawing 6). The roughened layer 11 is selectively exposed to the opening 6 used as a viahole.

[0042](7) The substrate which formed the opening 6 for viahole formation with the above (5) and (6) is immersed in chromic acid for 2 minutes, carry out dissolution removal of the epoxy resin particle which exists in an adhesive layer surface, and roughen the surface of the adhesives layer concerned.
Then, after being immersed in the neutralized solution (made by SHIPUREI), it rinsed (refer to drawing 7).

(8) Above (7) The catalyst core was given to the surface of the adhesives layer 2 and the opening 6 for viaholes by giving a palladium catalyst (product made from ATOTEKKU) to the substrate which performed the surface roughening process (a roughening depth of 5 micrometers).

[0043](9) The substrate was immersed during the non-electrolytic copper plating bath of the following

presentations, and the 3-micrometer-thick non-electrolytic copper plating film 12 was formed in the whole split face (refer to drawing 8).
[Electroless plating liquid]
EDTA 150 g/l copper sulfate 20 g/lHCHO 30 ml/lNaOH 40 g/lalpha and alpha'-bipyridyl 80 mg/lPEG 0.1 g/l
[Nonelectrolytic plating conditions] It is 70 ** in the degree of solution temperature, and is 30 minutes.
[0044](10) the above (9) on the formed non-electrolytic copper plating film 12, a commercial photosensitive dry film is stuck and a mask is laid — the development was carried out by exposure and 0.8 % sodium carbonate by 100 mJ/cm^2, and the 15-micrometer-thick plating resist 3 was formed (refer to drawing 9).
[0045](11) Subsequently, electrolytic copper plating was performed on condition of the following, and the 15-micrometer-thick electrolytic copper plating film 13 was formed (refer to drawing 10).
[Electrolysis plating liquid]
Sulfuric acid 180 g/l Copper sulfate 80 g/l Additive agent (made in ATOTEKKU Japan, a trade name: KAPARASHIDO GL)
1 ml/l[Electrolysis plating conditions]
Current density 1 A/dm^2 time 30 minutes Temperature Room temperature[0046](12) After carrying out the strip of the plating resist 3 by KOH 5%, carry out the etching process of the electroless plating film 12 under the plating resist 3 with the mixed liquor of sulfuric acid and hydrogen peroxide, and dissolution removal is carried out, The conductor circuit (a viahole is included) 5 with a thickness of 18 micrometers which consists of the non-electrolytic copper plating film 12 and the electrolytic copper plating film 13 was formed (refer to drawing 11).
[0047](13) About the substrate in which the conductor circuit 5 was formed, they are 8 g/l of copper sulfate, and nickel sulfate. 0.6 g/l, 15 g/l of citrate, 29 g/l of sodium hypophosphite, 31 g/l of boric acid, surface-active agent It was immersed in the electroless plating liquid of pH=9 which consists of 0.1 g/l, and the roughened layer 11 which consists of 3-micrometer-thick copper-nickel phosphorus was formed in the surface of this conductor circuit 5 (refer to drawing 12). It is Cu when the formed roughened layer 11 was analyzed by EPMA (X-ray fluorescence device) at this time. : 98-mol% and nickel:1.5-mol % and P:0.5-mol% of composition ratio was shown.
[0048](14) (4) By repeating the process of - (12), the wiring board which formed the upper conductor circuit further was obtained (drawing 13 - 17 references).
[0049](15) Oligomer (molecular weight 4000) of the photosensitive grant which, on the other hand, acrylic-ized 50% of the epoxy group of 60% of the weight of the cresol novolak type epoxy resin (made by Nippon Kayaku) dissolved in DMDG 46.67 g, 80% of the weight of the bisphenol A type epoxy resin (the product made from oil recovery shell.) in which methyl ethyl ketone was dissolved Epicoat 1001 15.0g and an imidazole hardening agent (made in Shikoku Chemicals.) trade name: -- the multivalent acrylic monomer (the Nippon Kayaku make.) which are 2E4 MZ-CN1.6 g and a photosensitive monomer trade name: -- R6043g -- the same -- a multivalent acrylic monomer (the product made from the Kyoeisha chemicals.) Trade name : Six A1.5 g of DPEs and 0.71 g of dispersed system defoaming agents (the Sannopuko make, trade name:S-65) are mixed, It is [as opposed to / furthermore / this mixture / benzophenone / (made by Kanto Kagaku) / as a photoinitiator] at 25 ** about 0.2 g, in addition viscosity in the Michler's ketone (made by Kanto Kagaku) as 2 g and a photosensitizer. The soldering resist composition adjusted to 2.0 Pa-s was obtained. In the case of 60 rpm, in the case of rotor No.4 and 6 rpm, measurement of viscosity was based on rotor No.3 by the Brookfield viscometer (Tokyo Keiki and DVL-B type).
[0050](16) The soldering resist composition was applied to the wiring board obtained above (14) by a thickness of 20 micrometers. Subsequently, after carrying out for 20 minutes at 70 ** and performing the drying process for 30 minutes at 70 **, the photomask film was laid, and the DMTG development was exposed and carried out by the ultraviolet rays of 1000 mJ/cm^2. At 80 **, it heat-treated at 120 ** by 100 ** for 1 hour for 1 hour, and heat-treated on the conditions of 3 hours by 150 ** for 1 hour, and the solder resist layer (opening diameter 200 micrometers) (20 micrometers in thickness) in which the pad portion carried out the opening was formed.
[0051](17) Next, the substrate in which the solder resist layer was formed was immersed in the electroless nickel plating liquid of pH=5 which consists of 30 g/l of nickel chloride, 10 g/l of sodium hypophosphite, and 10 g/l of sodium acid citrate for 20 minutes, and the 5-micrometer-thick nickel plating layer was formed in the opening. The substrate is immersed in the unelectrolyzed gold plating liquid which consists of 2 g/l of gold cyanide potassium, 75 g/l of ammonium chloride, 50 g/l of sodium acid citrate, and 10 g/l of sodium hypophosphite for 23 seconds on 93 ** conditions, The 0.03-micrometer-thick gold plating layer was formed on the nickel plating layer.

[0052](18) And print soldering paste to the opening of a solder resist layer. By carrying out a reflow at 200 **, the solder vamp was formed and the printed wired board which has a solder vamp was manufactured.
[0053](Example 2) The printed wired board which has a solder vamp like Example 1 was manufactured except having roughened the conductor circuit surface by etching. At this time, the thing of the trade name a "DEYURA bond" [by a mEq company] Becoming was used for the etching reagent.
[0054](Example 3)
A. — preparation **. cresol novolak type epoxy resin (the Nippon Kayaku make.) of the adhesive composition for nonelectrolytic plating They are 35 weight sections, photosensitive monomer (Toagosei make, ARONIKKUSU M315) 3.15 weight section, defoaming agent (Sannopuko make, S-65) 0.5 weight section, and NMP about the resin liquid in which DMDG was made to dissolve the 25% acrylic ghost of the molecular weight 2500 by 80wt% of concentration 3.6 Stirring mixing of the weight section was carried out. ** . — polyether sulphone (PES) 12 weight section and an epoxy resin particle (Mitsuhiro -- transformation -- make.) Mean particle diameter of a polymer pole It is a 1.0-micrometer thing 7.2 After mixing 3.09 weight sections for a weight section and a thing with a mean particle diameter of 0.5 micrometer, NMP30 weight section was added further and stirring mixing was carried out by the bead mill. ** . The amount part of imidazole hardening agent (made in [Shikoku Chemicals], 2E4 MZ-CN) duplexs, the amount part of photoinitiator (Ciba-Geigy make, IRGACURE I-907) duplexs, photosensitizer (Nippon Kayaku make, DETX-S) 0.2 weight section, and NMP1.5 Stirring mixing of the weight section was carried out. These were mixed and the adhesive composition for nonelectrolytic plating was prepared.
[0055]B. preparation **. cresol novolak type epoxy resin (the Nippon Kayaku make.) of the lower layer resin insulating agent between layers They are 35 weight sections, photosensitive monomer (Toagosei make, ARONIKKUSU M315) 4 weight section, defoaming agent (Sannopuko make, S-65) 0.5 weight section, and NMP about the resin liquid in which DMDG was made to dissolve the 25% acrylic ghost of the molecular weight 2500 by 80wt% of concentration 3.6 Stirring mixing of the weight section was carried out. ** . Polyether sulphone (PES) 12 weight section, mean particle diameter of an epoxy resin particle (Mitsuhiro transformation make, a polymer pole) It is a 0.5-micrometer thing 14.49 After mixing a weight section, NMP30 weight section was added further and stirring mixing was carried out by the bead mill. ** . The amount part of imidazole hardening agent (made in [Shikoku Chemicals], 2E4 MZ-CN) duplexs, the amount part of photoinitiator (Ciba-Geigy make, IRGACURE I-907) duplexs, photosensitizer (Nippon Kayaku make, DETX-S) 0.2 weight section, and NMP1.5 Stirring mixing of the weight section was carried out. These were mixed and the resin composition used as an insulating agent layer by the side of the lower layer which constitutes the resin insulating layer between layers of two-layer structure was prepared.
[0056]C. the preparation **. bisphenol female mold epoxy monomer (the product made from oil recovery shell.) of a resin filler Mean particle diameter with which the molecular weight 310, 983UYL100 weight section, and the surface were coated with the silane coupling agent SiO_2 spherical particle which is 1.6 micrometers (the product made from an ADOMA tech, CRS 1101-CE, and here) below the thickness (15 micrometers) of the inner layer copper pattern mentioned later carries out the size of grain of maximum size — 170 weight sections and leveling agent (Sannopuko make, PERENORU S4) 1.5 weight section were kneaded with 3 rolls, and the viscosity of the mixture was adjusted to 45,000-49,000 cps at 23**1 **: ** . Imidazole hardening agent (made in [Shikoku Chemicals], 2E4 MZ-CN) 6.5 weight section. mixing these — the resin filler 10 — having prepared .
[0057]D. Manufacturing method (1) of a printed wired board Copper clad laminate which the 18-micrometer copper foil 8 laminates to both sides of the substrate 1 which consists of 1-mm-thick glass epoxy resin or BT (bismaleimide triazine) resin was made into the charge of a start material (refer to drawing 21). First, after carrying out drill drilling of this copper clad laminate and forming plating resist, the inner layer copper pattern 4 was formed in both sides of the substrate 1 by carrying out nonelectrolytic plating processing, forming the through hole 9, and etching the copper foil 8 into pattern state in accordance with a conventional method further.
[0058](2) Wash in cold water the substrate in which the inner layer copper pattern 4 and the through hole 9 were formed, and after drying, as an oxidation bath (melanism bath), By oxidation-reduction processing using NaOH (10 g/l) and $NaBH_4$ (6 g/l) as NaOH (10 g/l), $NaClO_2$ (40 g/l), Na_3PO_4 (6 g/l), and a reduction bath. The roughened layer 11 was formed in the surface of the inner layer copper pattern 4 and the through hole 9 (refer to drawing 22).
[0059](3) The resin filler 10 by using and applying a roll coater to one side of a substrate, It is filled up between the conductor circuits 4 or in the through hole 9, and is made to dry in 70 ** and 20 minutes, and about the field of another side, similarly, it was filled up with the resin filler 10 between the conductor

circuits 4 or in the through hole 9, and stoving was carried out in 70 ** and 20 minutes (refer to drawing 23).

[0060](4) Above (3) One side of a substrate which finished processing by belt sander polish using the belt abrasive paper (made by Sankyo Rikagaku) of #600. It ground so that the resin filler 10 might remain in neither the surface of the inner layer copper pattern 4, nor the land surface of the through hole 9, and it ranked second, and buffing for removing the crack by said belt sander polish was performed. Such a series of polishes were similarly performed about the field of another side of a substrate. Subsequently, it carried out at 150 ** for 1 hour for 3 hours, 100 ** performed heat-treatment of 7 hours at 180 ** at 120 ** for 1 hour, and the resin filler 10 was hardened (refer to drawing 24).

[0061]Thus, remove the roughened layer 11 of the layer part of the resin filler 10, and the inner layer conductor circuit 4 upper surface with which the through hole 9 grade was filled up, and substrate both sides are smoothed, The wiring board which the resin filler 10 and the side of the inner layer conductor circuit 4 stuck firmly via the roughened layer 11, and the internal surface and the resin filler 10 of the through hole 9 stuck firmly via the roughened layer 11 was obtained. That is, the surface of the resin filler 10 and the surface of the inner layer copper pattern 4 turn into the same flat surface by this process. Tg point of filled hardening resin was [here,] 155.6 **, and the line coefficient of thermal expansion was $44.5x10^{-6}$/**.

[0062](5) Above (4) It is thickness to the land upper surface of the inner layer conductor circuit 4 and the through hole 9 exposed by processing. The roughened layer (uneven layer) 11 which consists of a 2.5-micrometer Cu-nickel-P alloy is formed, It is thickness to the surface of the roughened layer 11. A 0.3-micrometer Sn layer was provided (not shown about refer to drawing 25, however a Sn layer). The formation method is as follows. Namely, carry out acid degreasing, and carry out soft etching, and rank second and a substrate is processed with the catalyst solution which consists of a palladium chloride and organic acid, 8 g/l of copper sulfate, nickel sulfate after giving a Pd catalyst and activating this catalyst 0.6 g/l, 15 g/l of citrate, 29 g/l of sodium hypophosphite, 31 g/l of boric acid, surface-active agent It plated with 0.1 g/l and the nonelectrolytic plating bath which consists of pH=9, and the roughened layer 11 of the Cu-nickel-P alloy was formed in the copper conductor circuit 4 upper surface and the land upper surface of the through hole 9. Subsequently, the Cu-Sn substitution reaction was carried out on condition of Howe stannous-fluoride 0.1 mol/l, thiourea 1.0 mol/l, temperature [of 50 **], and pH=1.2, and the Sn layer of thickness 0.3 mum was provided in the surface of the roughened layer 11 (not shown about a Sn layer).

[0063](6) Above (5) To both sides of a substrate, it is a resin insulating agent between layers of B (viscosity 1.5 Pa-s). After applying by the roll coater and neglecting it for 20 minutes by the horizontal state, desiccation for 30 minutes (prebaking) was performed at 60 **, and the insulating agent layer 2a was formed. After using the roll coater, applying the adhesives for nonelectrolytic plating of A (viscosity 7 Pa-s) on this insulating agent layer 2a furthermore and neglecting it for 20 minutes by a horizontal state, desiccation for 30 minutes (prebaking) was performed at 60 **, and adhesives layer 2b was formed (refer to drawing 26).

[0064](7) Above (6) The photomask film in which the black spot of 85 micrometerphi was printed is stuck to both sides of the substrate in which the insulating agent layer 2a and adhesives layer 2b were formed, and it is an ultrahigh pressure mercury lamp. It exposed by 500 mJ/cm^2. Spray development of this is carried out with a DMTG solution, the substrate concerned is further exposed by 3000 mJ/cm^2 with an ultrahigh pressure mercury lamp, and it is 1 hour and after that at 100 **. By carrying out heat-treatment (postbake) of 5 hours at 150 **, The resin insulating layer 2 with a thickness of 35 micrometers which has an opening (opening 6 for viahole formation) of 85 micrometerphi excellent in the dimensional accuracy equivalent to a photomask film between layers (two-layer structure) was formed (refer to drawing 27). The tinning layer was selectively exposed to the opening used as a viahole.

[0065](8) By immersing the substrate with which the opening was formed for 19 minutes at 70 ** in chromic acid of 800 g/l, and carrying out dissolution removal of the epoxy resin particle which exists in the surface of adhesives layer 2b of the resin insulating layer 2 between layers, The surface of the resin insulating layer 2 between the layers concerned was made into the split face (a depth of 3 micrometers), and after being immersed in the neutralized solution (made by SHIPUREI) after that, it washed in cold water (refer to drawing 28). The catalyst core was attached to the surface of the resin insulating layer 2 between layers, and the internal surface of the opening 6 for viaholes by giving a palladium catalyst (product made from ATOTEKKU) to the surface of this substrate that carried out the surface roughening process.

[0066](9) The substrate was immersed during the non-electrolytic copper plating bath of the following

presentations, and the non-electrolytic copper plating film 12 of thickness 0.6 mum was formed in the whole split face (refer to drawing 29).
[Electroless plating liquid]
EDTA 150 g/l copper sulfate 20 g/lHCHO 30 ml/lNaOH 40 g/lalpha and alpha'-bipyridyl 80 mg/lPEG 0.1 g/l
[Nonelectrolytic plating conditions] It is 70 ** in the degree of solution temperature, and is 30 minutes.
[0067](10) Above (9) On the formed non-electrolytic copper plating film 12, the commercial photosensitive dry film was stuck, the mask was laid, the development was carried out by exposure and 0.8 % sodium carbonate by 100 mJ/cm^2, and the 15-micrometer-thick plating resist 3 was formed (refer to drawing 30).
[0068](11) Subsequently, electrolytic copper plating was performed to the resist agenesis portion on condition of the following, and the 15-micrometer-thick electrolytic copper plating film 13 was formed (refer to drawing 31).
〔電解めっき液〕

硫酸	180 g／l
硫酸銅	80 g／l
添加剤（アトテックジャパン製、カパラシドGL）	1 ml／l

[Electrolysis plating conditions]
Current density 1 A/dm^2 time 30-minute temperature room temperature[0069](12) After carrying out the strip of the plating resist 3 by KOH 5%, carry out the etching process of the electroless plating film 12 under the plating resist 3 with the mixed liquor of sulfuric acid and hydrogen peroxide, and dissolution removal is carried out, The conductor circuit (a viahole is included) 5 with a thickness of 18 micrometers which consists of the non-electrolytic copper plating film 12 and the electrolytic copper plating film 13 was formed. It was immersed in 800 g/l of chromic acid for 3 minutes at 70 **, the 1-2-micrometer etching process of the surface of the adhesives layer for nonelectrolytic plating between the conductor circuits located in a conductor circuit agenesis portion was carried out, and the palladium catalyst which remains on the surface was removed (refer to drawing 32).
[0070](13) About the substrate in which the conductor circuit 5 was formed, they are 8 g/l of copper sulfate, and nickel sulfate. 0.6 g/l, 15 g/l of citrate, 29 g/l of sodium hypophosphite, 31 g/l of boric acid, surface-active agent It was immersed in the electroless plating liquid of pH=9 which consists of 0.1 g/l, and the roughened layer 11 which consists of 3-micrometer-thick copper-nickel phosphorus was formed in the surface of this conductor circuit 5 (refer to drawing 33). It is Cu when the formed roughened layer 11 was analyzed by EPMA (X-ray fluorescence device) at this time. : 98-mol%, nickel : 1.5 mol%, P: It was 0.5-mol% of composition ratio. The Cu-Sn substitution reaction was performed on condition of Howe stannous-fluoride 0.1 mol/l, thiourea 1.0 mol/l, temperature [of 50 **], and pH=1.2, and the 0.3-micrometer-thick Sn layer was provided in the surface of said roughened layer 11 (not shown about a Sn layer).
[0071](14) Above (6) By repeating the process of - (13), the upper conductor circuit was formed further and the multilayer printed wiring board was obtained. However, Sn substitution was not performed (drawing 34 - 39 references).
[0072](15) Oligomer (molecular weight 4000) of the photosensitive grant which, on the other hand, acrylic-ized 50% of the epoxy group of 60% of the weight of the cresol novolak type epoxy resin (made by Nippon Kayaku) dissolved in DMDG 46.67 g, 80% of the weight of the bisphenol A type epoxy resin (the product made from oil recovery shell.) in which methyl ethyl ketone was dissolved Epicoat 1001 15.0g and an imidazole hardening agent (made in Shikoku Chemicals.) the multivalent acrylic monomer (the Nippon Kayaku make.) which are 2E4 MZ-CN1.6 g and a photosensitive monomer R6043g -- the same -- multivalent acrylic monomer (the product made from the Kyoeisha chemicals, DPE6A) 1.5 g, Mix 0.71 g of dispersed system defoaming agents (the Sannopuko make, S-65), and further the benzophenone (made by Kanto Kagaku) as a photoinitiator to this mixture 2 g, It is at 25 ** about 0.2g, in addition viscosity in the Michler's ketone (made by Kanto Kagaku) as a photosensitizer. The soldering resist composition adjusted to 2.0 Pa-s was obtained. Measurement of viscosity is a Brookfield viscometer (Tokyo Keiki and DVL-B type). In the case of 60 rpm, in the case of rotor No.4 and 6 rpm, it was based on rotor No.3.
[0073](16) The above-mentioned soldering resist composition was applied to both sides of the multilayer interconnection board obtained above (14) by a thickness of 20 micrometers. Subsequently, after carrying out for 20 minutes at 70 ** and performing the drying process for 30 minutes at 70 **, the photomask film which is 5 mm in thickness by which the circle pattern (mask pattern) was drawn was stuck, it laid, and the

DMTG development was exposed and carried out by the ultraviolet rays of 1000 mJ/cm^2.And further, at 80 **, it heat-treated at 120 ** by 100 ** for 1 hour for 1 hour, and heat-treated on the conditions of 3 hours by 150 ** for 1 hour, and the solder resist layer (opening diameter 200 micrometers) (20 micrometers in thickness) 14 which carried out the opening of the solder pad portion (a viahole and its land part are included) was formed.

[0074](17) Next, the substrate in which the solder resist layer 14 was formed is immersed in the electroless nickel plating liquid of pH=5 which consists of 30 g/l of nickel chloride, 10 g/l of sodium hypophosphite, and 10 g/l of sodium acid citrate for 20 minutes, The 5-micrometer-thick nickel plating layer 15 was formed in the opening. The substrate is immersed in the unelectrolyzed gold plating liquid which consists of 2 g/l of gold cyanide potassium, 75 g/l of ammonium chloride, 50 g/l of sodium acid citrate, and 10 g/l of sodium hypophosphite for 23 seconds on 93 ** conditions, The 0.03-micrometer-thick gold plating layer 16 was formed on the nickel plating layer 15.

[0075](18) And by printing soldering paste to the opening of the solder resist layer 14, and carrying out a reflow to it at 200 **, the solder vamp (solder object) 17 was formed and the printed wired board which has the solder vamp 17 was manufactured (refer to drawing 40).

[0076](Comparative example) (1) of Example 1, (2), (3), (4), (5), (6), (7), and (8) Dry film photoresist was laminated after processing and plating resist was formed exposure and by carrying out a development. Subsequently, (9) of Example 1 Plating resist was exfoliated like the process of (12) after operation, (13) of Example 1 was processed, and all the surfaces of the conductor circuit were roughened. After performing similarly formation of the resin insulating layer between layers, roughening treatment and formation of plating resist, and non-electrolytic copper plating processing and exfoliating plating resist, the printed wired board which has a solder vamp was manufactured by processing of (15) of Example 1, (16), (17), (18), and (19).

[0077]About the printed wired board manufactured by the example and the comparative example, the IC chip was mounted, it carried out at -55 ** and 1000 times and 2000 heat cycle tests were carried out in 15 minutes by 125 ** for ordinary temperature 10 minutes for 15 minutes. Experimental evaluation checked generating of the crack in the printed wired board after an examination with the scanning electron microscope. Peel strength was also measured. Peel strength followed JIS-C-6481.

[0078]As a result, although the crack was not regarded as a comparative example and Examples 1-3, either, it was observed in the comparative example by 2000 times at about 1000 times. Peel strength was equivalent compared with the case where the conductor circuit is formed only with the electroless plating film, or the value a little higher than it was obtained. Thus, in this invention, the crack generated in the resin insulating layer between layers can be prevented, securing practical peel strength.

[0079]

[Table 1]

	1000回	2000回	ピール強度
実施例1	無し	無し	1.2kg/cm
実施例2	無し	無し	1.0kg/cm
実施例3	無し	無し	1.0kg/cm
比較例	無し	有り	0.9kg/cm

[0080]

[Effect of the Invention]It is possible to prevent generating of the crack at the time of a thermo cycle, and to raise connection reliability, preventing the fall of peel strength according to this invention, as explained above.

[Translation done.]

* NOTICES *

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]
[Drawing 1]It is a manufacturing process figure of the multilayer printed wiring board concerning an invention.
[Drawing 2]It is a manufacturing process figure of the multilayer printed wiring board concerning an invention.
[Drawing 3]It is a manufacturing process figure of the multilayer printed wiring board concerning an invention.
[Drawing 4]It is a manufacturing process figure of the multilayer printed wiring board concerning an invention.
[Drawing 5]It is a manufacturing process figure of the multilayer printed wiring board concerning an invention.
[Drawing 6]It is a manufacturing process figure of the multilayer printed wiring board concerning an invention.
[Drawing 7]It is a manufacturing process figure of the multilayer printed wiring board concerning an invention.
[Drawing 8]It is a manufacturing process figure of the multilayer printed wiring board concerning an invention.
[Drawing 9]It is a manufacturing process figure of the multilayer printed wiring board concerning an invention.
[Drawing 10]It is a manufacturing process figure of the multilayer printed wiring board concerning an invention.
[Drawing 11]It is a manufacturing process figure of the multilayer printed wiring board concerning an invention.
[Drawing 12]It is a manufacturing process figure of the multilayer printed wiring board concerning an invention.
[Drawing 13]It is a manufacturing process figure of the multilayer printed wiring board concerning an invention.
[Drawing 14]It is a manufacturing process figure of the multilayer printed wiring board concerning an invention.
[Drawing 15]It is a manufacturing process figure of the multilayer printed wiring board concerning an invention.
[Drawing 16]It is a manufacturing process figure of the multilayer printed wiring board concerning an invention.
[Drawing 17]It is a manufacturing process figure of the multilayer printed wiring board concerning an invention.
[Drawing 18]It is a structure enlarged drawing of the multilayer printed wiring board concerning an invention.
[Drawing 19]It is a structure enlarged drawing of the multilayer printed wiring board concerning an invention.
[Drawing 20]It is a triangular figure showing the presentation of the roughened layer of copper-nickel phosphorus.
[Drawing 21]It is a figure showing each manufacturing process of the multilayer printed wiring board concerning an invention.
[Drawing 22]It is a figure showing each manufacturing process of the multilayer printed wiring board

concerning an invention.
[Drawing 23]It is a figure showing each manufacturing process of the multilayer printed wiring board concerning an invention.
[Drawing 24]It is a figure showing each manufacturing process of the multilayer printed wiring board concerning an invention.
[Drawing 25]It is a figure showing each manufacturing process of the multilayer printed wiring board concerning an invention.
[Drawing 26]It is a figure showing each manufacturing process of the multilayer printed wiring board concerning an invention.
[Drawing 27]It is a figure showing each manufacturing process of the multilayer printed wiring board concerning an invention.
[Drawing 28]It is a figure showing each manufacturing process of the multilayer printed wiring board concerning an invention.
[Drawing 29]It is a figure showing each manufacturing process of the multilayer printed wiring board concerning an invention.
[Drawing 30]It is a figure showing each manufacturing process of the multilayer printed wiring board concerning an invention.
[Drawing 31]It is a figure showing each manufacturing process of the multilayer printed wiring board concerning an invention.
[Drawing 32]It is a figure showing each manufacturing process of the multilayer printed wiring board concerning an invention.
[Drawing 33]It is a figure showing each manufacturing process of the multilayer printed wiring board concerning an invention.
[Drawing 34]It is a figure showing each manufacturing process of the multilayer printed wiring board concerning an invention.
[Drawing 35]It is a figure showing each manufacturing process of the multilayer printed wiring board concerning an invention.
[Drawing 36]It is a figure showing each manufacturing process of the multilayer printed wiring board concerning an invention.
[Drawing 37]It is a figure showing each manufacturing process of the multilayer printed wiring board concerning an invention.
[Drawing 38]It is a figure showing each manufacturing process of the multilayer printed wiring board concerning an invention.
[Drawing 39]It is a figure showing each manufacturing process of the multilayer printed wiring board concerning an invention.
[Drawing 40]It is a figure showing each manufacturing process of the multilayer printed wiring board concerning an invention.
[Description of Notations]
1 Substrate
2 The resin insulating layer between layers (adhesives layer for nonelectrolytic plating)
2a insulating agent layer
2b adhesives layer
3 Plating resist
4 Inner layer conductor circuit (inner layer copper pattern)
5 Outer layer conductor circuit (outer layer copper pattern)
6 The opening for viaholes
7 Viahole (BVH)
8 Copper foil
9 Through hole
10 Filling resin (resin filler)
11 Roughened layer
12 Non-electrolytic copper plating film
13 Electrolytic copper plating film
14 Solder resist layer
15 Nickel plating layer
16 Gold plating layer
17 Solder vamp

[Translation done.]

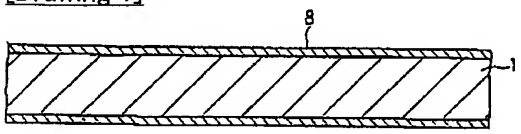
* NOTICES *

1.This document has been translated by computer. So the translation may not reflect the original precisely.

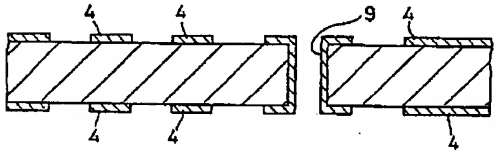
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DRAWINGS

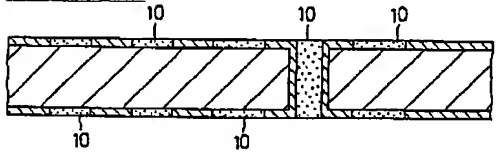
[Drawing 1]



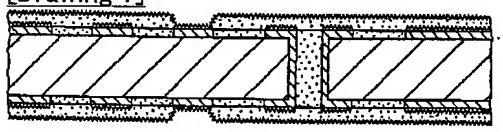
[Drawing 2]



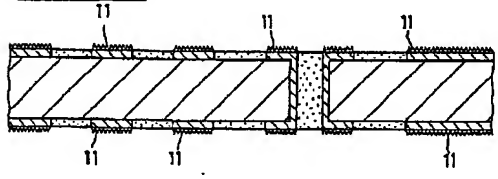
[Drawing 3]



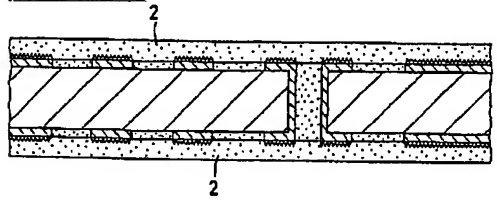
[Drawing 7]



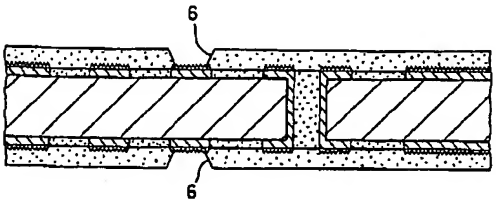
[Drawing 4]



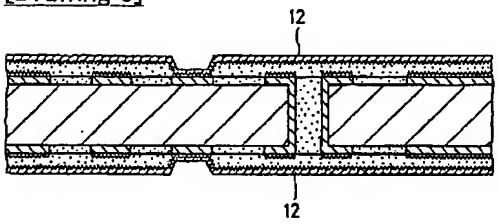
[Drawing 5]



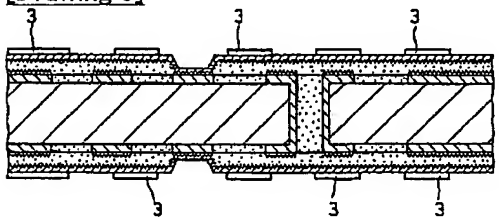
[Drawing 6]



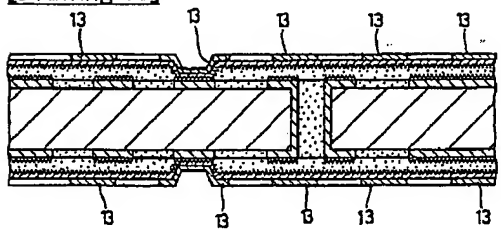
[Drawing 8]



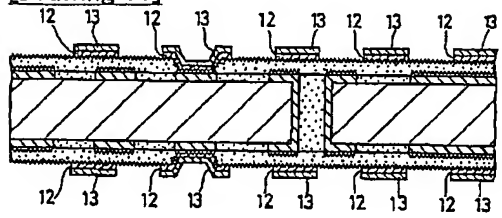
[Drawing 9]



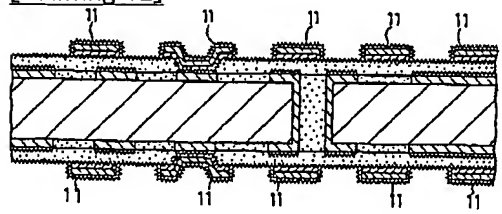
[Drawing 10]



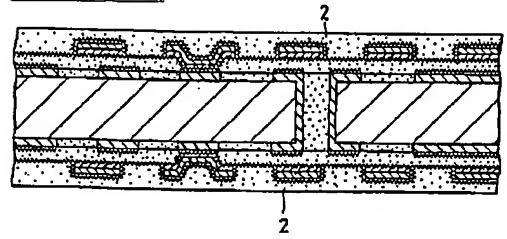
[Drawing 11]



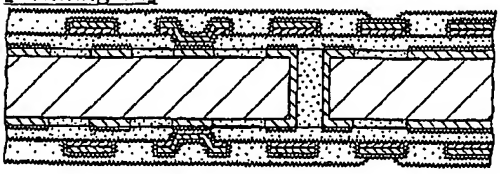
[Drawing 12]



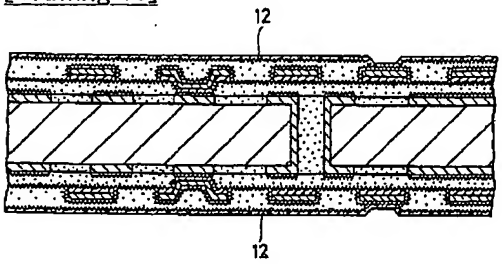
[Drawing 13]



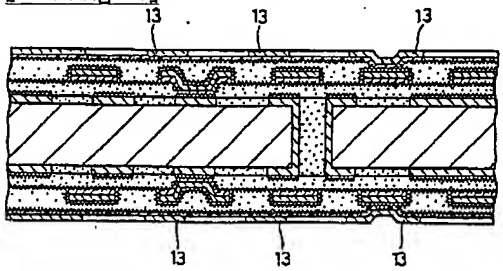
[Drawing 14]



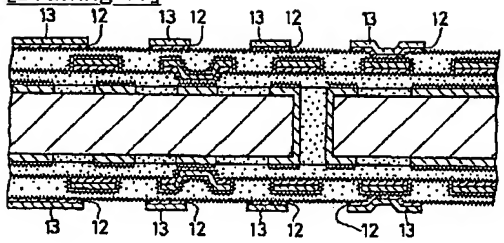
[Drawing 15]



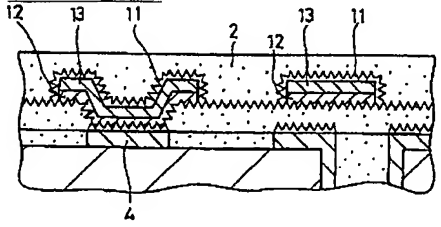
[Drawing 16]



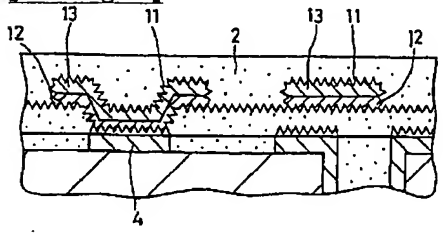
[Drawing 17]



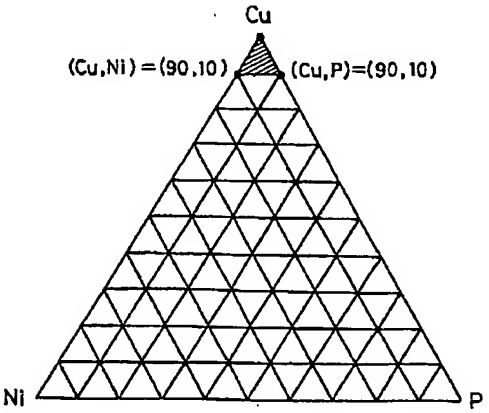
[Drawing 18]



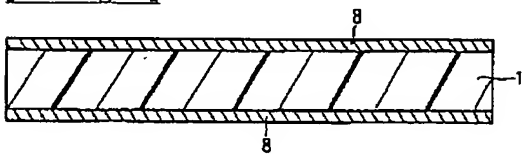
[Drawing 19]



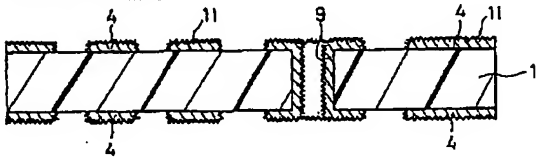
[Drawing 20]



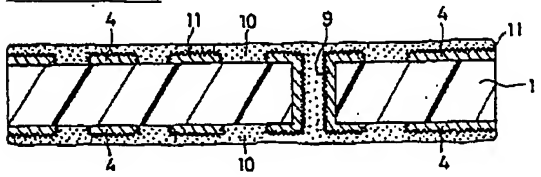
[Drawing 21]



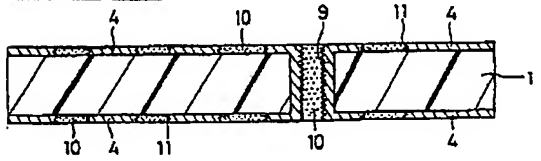
[Drawing 22]



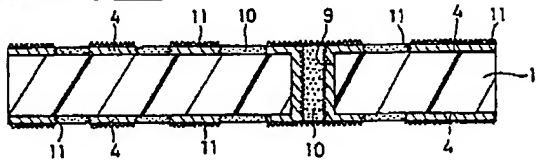
[Drawing 23]



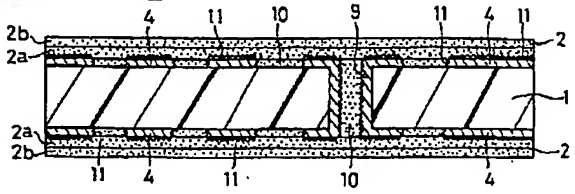
[Drawing 24]



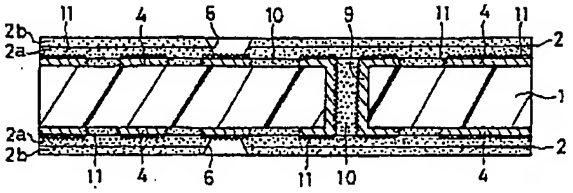
[Drawing 25]



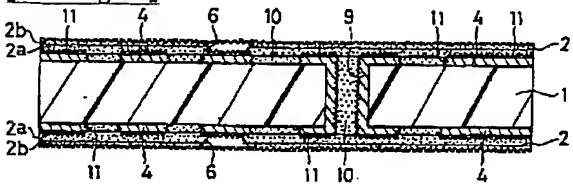
[Drawing 26]



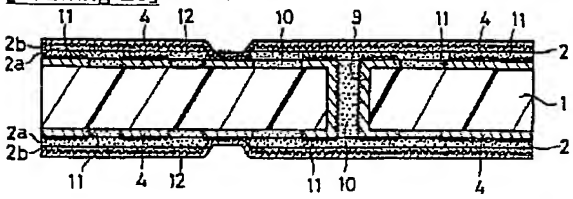
[Drawing 27]



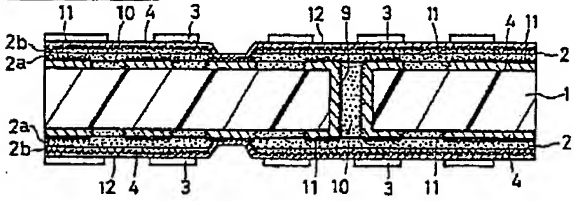
[Drawing 28]



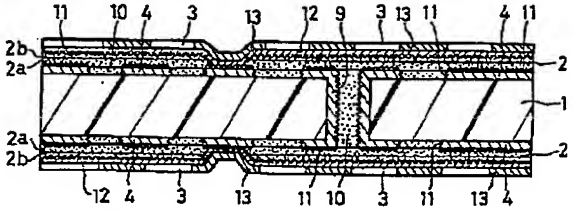
[Drawing 29]



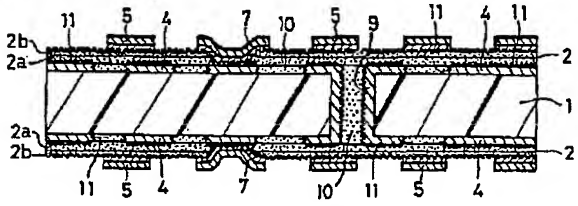
[Drawing 30]



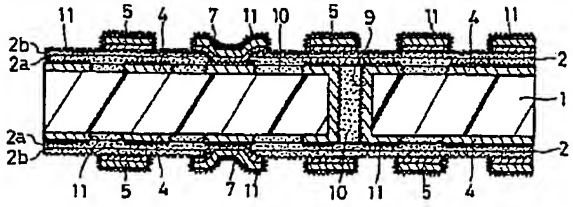
[Drawing 31]



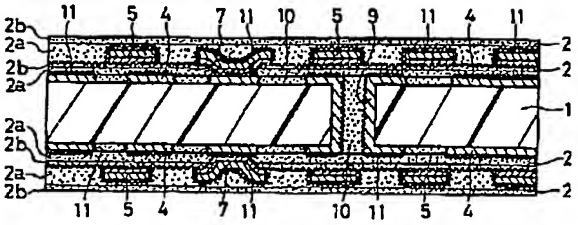
[Drawing 32]



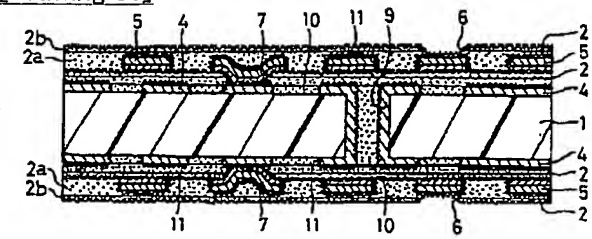
[Drawing 33]



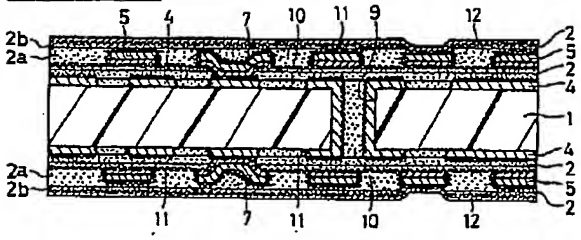
[Drawing 34]



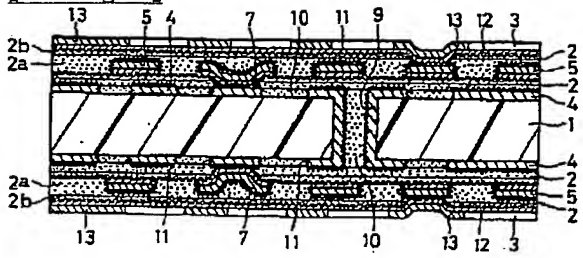
[Drawing 35]



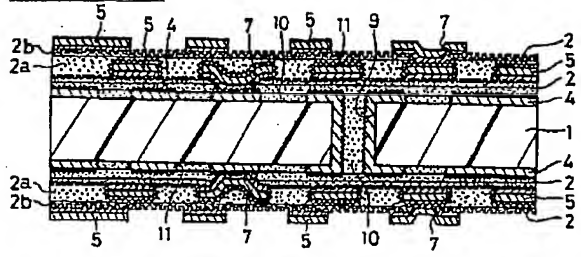
[Drawing 36]



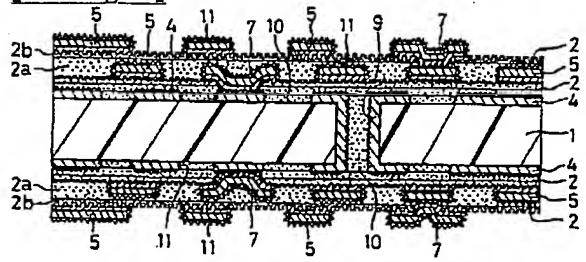
[Drawing 37]



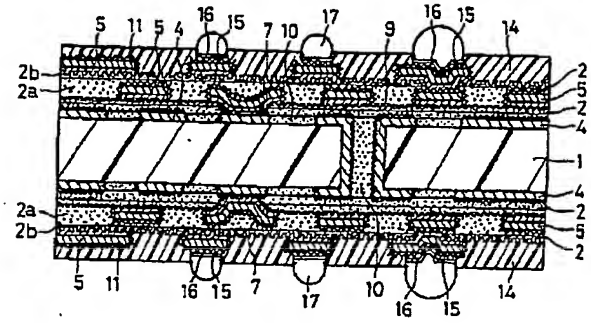
[Drawing 38]



[Drawing 39]



[Drawing 40]



[Translation done.]

Filing info	Patent 2002-227202 (5.8.2002)
Publication info	2003-060342 (28.2.2003)
Detailed info of application	Kind of examiner's decision(Rejection)
Date of request for examination	(23.6.2004)
Date of sending the examiner's decision of rejection	(13.2.2007)
Appeal/trial info	Trial/Appeal against rejection 2007-007621 Date of demand for appeal/trial (15.3.2007)
Renewal date of legal status	(20.8.2007)

Legal status information includes 8 items below. If any one of them has any data, a number or a date would be indicated at the relevant part.

1. Filing info(Application number,Filing date)
2. Publication info(Publication number,Publication date)
3. Detailed info of application
   * Kind of examiner's decision
   * Kind of final decision
   * Date of final decision in examination stage
4. Date of request for examination
5. Date of sending the examiner's decision of rejection(Date of sending the examiner's
6. Appeal/trial info
   * Appeal/trial number,Date of demand for appeal/trial
   * Result of final decision in appeal/trial stage,Date of final decision in appeal/tria
7. Registration info
   * Patent number,Registration Date
   * Date of extinction of right
8. Renewal date of legal status

For further details on Legal-Status, visit the following link.PAJ help(1-5)

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（A）　(11)特許出願公開番号
特開2003－60342
（P2003－60342A）
(43)公開日　平成15年２月28日(2003.2.28)

(51)Int.Cl.'		識別記号	FI		テーマコード'(参考)
H05K	3/38		H05K	3/38	A　5E343
	3/18			3/18	H　5E346
					K
	3/46			3/46	B

審査請求　未請求　請求項の数２　ＯＬ　（全 15 頁）

(21)出願番号　特願2002－227202(P2002－227202)
(62)分割の表示　特願平9－197526の分割
(22)出願日　平成９年７月23日(1997.7.23)

(31)優先権主張番号　特願平8－354971
(32)優先日　平成８年12月19日(1996.12.19)
(33)優先権主張国　日本（ＪＰ）
(31)優先権主張番号　特願平8－357801
(32)優先日　平成８年12月28日(1996.12.28)
(33)優先権主張国　日本（ＪＰ）

(71)出願人　000000158
イビデン株式会社
岐阜県大垣市神田町２丁目１番地
(72)発明者　浅井　元雄
岐阜県揖斐郡揖斐川町北方１－１　イビデン株式会社内
(74)代理人　100080687
弁理士　小川　順三　（外１名）

最終頁に続く

(54)【発明の名称】　多層プリント配線板およびその製造方法

(57)【要約】
【課題】　ピール強度の低下を招かず、ヒートサイクル時に発生する層間絶縁層のクラックを防止すること。
【解決手段】　配線基板の導体回路上に層間絶縁層が形成された多層プリント配線板において、前記導体回路は、無電解めっき膜と電解めっき膜からなり、その表面の少なくとも一部に粗化層を設けてなることを特徴とする多層プリント配線板である。

1

【特許請求の範囲】

【請求項１】　内層の導体回路が設けられた基板を覆って、層間絶縁層が形成され、その層間絶縁層上に外層の導体回路が形成されてなる多層プリント配線板において、

前記層間絶縁層の表面には粗化層が形成され、前記外層の導体回路は、前記粗化層に密着する無電解めっき膜と、その無電解めっき膜上に形成された電解めっき膜とから構成されていることを特徴とする多層プリント配線板。

【請求項２】　内層の導体回路が設けられた基板を覆って層間絶縁層を形成し、その層間絶縁層の表面に粗化層を形成した後、無電解めっき処理を施して粗化層上に無電解めっき膜を形成し、その無電解めっき膜上にめっきレジストを設け、さらに電解めっき処理を施して無電解めっき膜のめっきレジスト非形成部分に電解めっき膜を形成し、ついで、めっきレジストを除去した後、エッチング処理によってめっきレジスト下の無電解めっき膜を溶解除去して、無電解めっき膜と電解めっき膜とからなる外層の導体回路を設けることを特徴とする多層プリント配線板の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、多層プリント配線板とその製造方法に関し、特にはピール強度の低下を招くことなく、ヒートサイクル時におけるクラックの発生を抑制した多層プリント配線板とその製造方法に関する。

【０００２】

【従来の技術】近年、多層配線基板の高密度化という要請から、いわゆるビルドアップ多層配線基板が注目されている。このビルドアップ多層配線基板は、例えば特公平４－55555 号公報に開示されているような方法により製造される。即ち、コア基板上に、感光性の無電解めっき用接着剤からなる絶縁材を塗布し、これを乾燥したのち露光現像することにより、バイアホール用開口を有する層間絶縁材層を形成し、次いで、この層間絶縁材層の表面を酸化剤等による処理にて粗化したのち、その粗化面にめっきレジストを設け、その後、レジスト非形成部分に無電解めっきを施してバイアホール、導体回路を形成し、このような工程を複数回繰り返すことにより、多層化したビルドアップ配線基板が得られる。

【０００３】

【発明が解決しようとする課題】しかしながら、このような多層プリント配線板では、導体回路はめっきレジストの非形成部分に設けられ、めっきレジストは内層にそのまま残存する。そのため、かかる配線基板にＩＣチップ等を搭載すると、ヒートサイクル時にＩＣチップと樹脂絶縁層との熱膨張率の差により、基板が反り、めっきレジストと導体回路間の密着がないことからこれらの境界部分に応力が集中し、この境界部分に接触する層間絶縁層にクラックが発生してしまうという問題があった。

2

【０００４】本発明は、従来技術が抱える上記問題を解消するためになされたものである。その目的は、他の特性、特にピール強度の低下を招かず、ヒートサイクル時に発生する層間絶縁層のクラックを防止することにある。

【０００５】

【課題を解決するための手段】発明者は、上記目的の実現に向け鋭意研究した結果、以下に示す内容を要旨構成とする発明に想到した。

(1) 本発明の多層プリント配線板は、配線基板の導体回路上に層間絶縁層が形成された多層プリント配線板において、前記導体回路は、無電解めっき膜と電解めっき膜からなり、その表面の少なくとも一部に粗化層を設けてなることを特徴とする。なお、この多層プリント配線板において、導体回路は、少なくとも側面を含む表面の一部に粗化層を設けてなることが好ましく、粗化層は、銅－ニッケル－リンの合金めっきからなることが好ましい。

【０００６】(2) 本発明の多層プリント配線板の製造方法は、基板上に無電解めっきを施した後、めっきレジストを設け、電解めっきを施し、ついで、めっきレジストを除去後、エッチング処理して無電解めっき膜と電解めっき膜からなる導体回路を設け、さらに、導体回路表面の少なくとも一部に粗化層を形成した後、層間絶縁層を設けることを特徴とする。なお、上記粗化層は、銅－ニッケル－リンの合金めっきにより形成されることが好ましい。

【０００７】

【発明の実施の形態】本発明のプリント配線板では、導体回路が電解めっき膜と無電解めっき膜とで構成され、より内層側に無電解めっき膜が形成され、より外層側に電解めっき膜が形成されている（図18、図19の拡大図参照）。このような構成にすると、導体回路は、電解めっき膜が無電解めっき膜より柔らかく展性に富むので、ヒートサイクル時に基板に反りが発生しても、層間樹脂絶縁層の寸法変化に追従できるようになる。また、本発明のプリント配線板では、導体回路の表面に粗化層が設けられているので、その導体回路は、層間樹脂絶縁層と強固に密着し、層間樹脂絶縁層の寸法変化により追従しやすくなっている。

【０００８】その結果、本発明のプリント配線板によれば、ＩＣチップを搭載し、－55℃～125 ℃のヒートサイクル試験を行った場合でも、導体回路を起点とする層間樹脂絶縁層のクラックの発生を抑制でき、また剥離も見られない。特に、導体回路の少なくとも側面に粗化層を設けることは、導体回路側面とそれに接触する層間樹脂との界面を起点として層間樹脂絶縁層に発生するクラックを抑制できる点で、有利である。

【０００９】さらに、本発明のプリント配線板では、導体のより内層側を電解めっき膜よりも硬い無電解めっき膜で構成しているので、ピール強度を低下させることがない。というのは、ピール強度は、導体回路の内層側の層間絶縁層と接触する側（後述する無電解めっき用接着剤を層間絶縁剤として採用した場合には、粗化面に接触する部分）の硬さが硬い程大きくなるためである。

【００１０】このような多層プリント配線板は、本発明の製造方法によれば、容易に製造することができる。

【００１１】なお、特開平６－283860号公報には、内層のめっきレジストを除去して、無電解めっき膜からなる導体回路表面に銅－ニッケル－リンからなる粗化層を設け、層間剥離を防止する技術が開示されている。しかしながら、この公報に記載の発明は、実際にＩＣチップを搭載してヒートサイクル試験を行った場合に発生するクラックについての認識が全くなく、また無電解めっき膜のみからなる導体回路を開示するに止まる。しかもその効果について追試を行ったところ（本願比較例参照）、－55℃～125 ℃のヒートサイクル試験に関し、1000回程度であればクラックの発生は観られなかったが、これを超えるとクラックの発生が観察された。それゆえ、この公報に記載の発明は、本願発明とは全く異なるものである。

【００１２】本発明において、導体回路表面の粗化層は、エッチング処理、研磨処理、酸化処理、酸化還元処理により形成された銅の粗化面、もしくはめっき被膜により形成された粗化面であることが望ましい。

【００１３】特に、この粗化層は、銅－ニッケル－リンからなる合金層であることが望ましい。この理由は、この合金層は、針状結晶層であり、ソルダーレジスト層との密着性に優れるからである。また、この合金層上にはんだ体を形成しても電気導電率に大きな変化がなく、金属パッドの上にもはんだ体を形成できるからである。この合金層の組成は、銅、ニッケル、リンの割合で、それぞれ90～96wt%、１～５wt%、 0.5～２wt%であることが望ましい。これらの組成割合のときに、針状の構造を有するからである。

【００１４】なお、針状結晶を形成できるCu－Ni－Ｐの組成を三成分系の三角図に示すと、図20のようになる。この図によれば、（Cu, Ni, P）＝（100, 0, 0）、（90, 10, 0）、（90, 0, 10）で囲まれる範囲がよい。

【００１５】また、酸化処理により粗化層を形成する場合は、亜塩素酸ナトリウム、水酸化ナトリウム、リン酸ナトリウムからなる酸化剤の溶液を用いることが望ましい。酸化還元処理により粗化層を形成する場合は、上記酸化処理の後、水酸化ナトリウムと水素化ホウ素ナトリウムからなる還元剤の溶液に浸漬して行うことが望ましい。

【００１６】このようにして形成される導体回路表面の粗化層は、厚みを１～５μｍとすることが望ましい。この理由は、厚すぎると粗化層自体が損傷、剥離しやすく、薄すぎると密着性が低下するからである。

【００１７】本発明において、導体回路を構成する前記無電解めっき膜は、厚みを 0.1～５μｍ、より好ましくは 0.5～３μｍとすることが望ましい。この理由は、厚すぎると層間樹脂絶縁層との追従性が低下し、逆に薄すぎると、ピール強度の低下を招いたり、また電解めっきを施す場合に抵抗値が大きくなって、めっき膜の厚さにバラツキが発生してしまうからである。

【００１８】また、導体回路を構成する前記電解めっき膜は、厚みを５～30μｍ、より好ましくは10～20μｍとすることが望ましい。この理由は、厚すぎるとピール強度の低下を招き、薄すぎると層間樹脂絶縁層との追従性が低下するからである。

【００１９】本発明では、導体回路の少なくとも側面に粗化層が形成されていることが望ましい。この理由は、ヒートサイクルにより層間樹脂絶縁層に生じるクラックは、導体回路側面と樹脂絶縁層との密着不良に起因して生じるものであり、このような構成とすることで、導体回路側面と樹脂絶縁層との界面を起点として層間樹脂絶縁層に発生するクラックを防止することができるからである。

【００２０】本発明では、上記配線基板を構成する層間樹脂絶縁層として無電解めっき用接着剤を用いることが望ましい。この無電解めっき用接着剤は、硬化処理された酸あるいは酸化剤に可溶性の耐熱性樹脂粒子が、硬化処理によって酸あるいは酸化剤に難溶性となる未硬化の耐熱性樹脂中に分散されてなるものが最適である。酸、酸化剤で処理することにより、耐熱性樹脂粒子が溶解除去されて、表面に蛸つぼ状のアンカーからなる粗化面を形成できるからである。

【００２１】上記無電解めっき用接着剤において、特に硬化処理された前記耐熱性樹脂粒子としては、①平均粒径が10μｍ以下の耐熱性樹脂粉末、②平均粒径が２μｍ以下の耐熱性樹脂粉末を凝集させた凝集粒子、③平均粒径が２～10μｍの耐熱性粉末樹脂粉末と平均粒径が２μｍ以下の耐熱性樹脂粉末との混合物、④平均粒径が２～10μｍの耐熱性樹脂粉末の表面に平均粒径が２μｍ以下の耐熱性樹脂粉末または無機粉末のいずれか少なくとも１種を付着させてなる疑似粒子、⑤平均粒径0.1～0.8μｍの耐熱性樹脂粉末および平均粒径 0.8μｍを超え平均粒径２μｍ未満の耐熱性樹脂粉末との混合物、から選ばれるいずれか少なくとも１種を用いることが望ましい。これらは、より複雑なアンカーを形成できるからである。

【００２２】次に、本発明にかかるプリント配線板を製造する一方法について説明する。

(1) まず、コア基板の表面に内層銅パターンを形成した配線基板を作製する。このコア基板への銅パターンの形

成は、銅張積層板をエッチングして行うか、あるいは、ガラスエポキシ基板やポリイミド基板、セラミック基板、金属基板などの基板に無電解めっき用接着剤層を形成し、この接着剤層表面を粗化して粗化面とし、ここに無電解めっきを施して行う方法がある。

【００２３】さらに必要に応じて、上記配線基板の銅パターン表面に銅－ニッケルーリンからなる粗化層を形成する。この粗化層は、無電解めっきにより形成される。この無電解めっきの液組成は、銅イオン濃度、ニッケルイオン濃度、次亜リン酸イオン濃度が、それぞれ 2.2×10^{-2} ～4.1×10^{-2} mol／l、2.2×10^{-3} ～4.1×10^{-3} mol／l、0.20～0.25mol／lであることが望ましい。この範囲で析出する被膜の結晶構造は針状構造になるため、アンカー効果に優れるからである。この無電解めっきの浴には上記化合物に加えて錯化剤や添加剤を加えてもよい。粗化層の形成方法としては、この他に前述した酸化（黒化）ー還元処理、銅表面を粒界に沿ってエッチングして粗化面を形成する方法などがある。

【００２４】なお、コア基板には、スルーホールが形成され、このスルーホールを介して表面と裏面の配線層を電気的に接続することができる。また、スルーホールおよびコア基板の導体回路間には樹脂が充填されて、平滑性を確保してもよい（図１～図４参照）。

【００２５】(2) 次に、前記(1) で作製した配線基板の上に、層間樹脂絶縁層を形成する。特に本発明では、層間樹脂絶縁材として前述した無電解めっき用接着剤を用いることが望ましい（図５参照）。

【００２６】(3) 前記(2) で形成した無電解めっき用接着剤層を乾燥した後、必要に応じてバイアホール形成用開口を設ける。このとき、感光性樹脂の場合は、露光，現像してから熱硬化することにより、また、熱硬化性樹脂の場合は、熱硬化したのちレーザー加工することにより、前記接着剤層にバイアホール形成用の開口部を設ける（図６参照）。

【００２７】(4) 次に、硬化した前記接着剤層の表面に存在するエポキシ樹脂粒子を酸あるいは酸化剤によって溶解除去し、接着剤層表面を粗化処理する（図７参照）。ここで、上記酸としては、リン酸、塩酸、硫酸、あるいは蟻酸や酢酸などの有機酸があるが、特に有機酸を用いることが望ましい。粗化処理した場合に、バイアホールから露出する金属導体層を腐食させにくいからである。一方、上記酸化剤としては、クロム酸、過マンガン酸塩（過マンガン酸カリウムなど）を用いることが望ましい。

【００２８】(5) 次に、接着剤層表面を粗化した配線基板に触媒核を付与する。触媒核の付与には、貴金属イオンや貴金属コロイドなどを用いることが望ましく、一般的には、塩化パラジウムやパラジウムコロイドを使用する。なお、触媒核を固定するために加熱処理を行うことが望ましい。このような触媒核としてはパラジウムがよい。

【００２９】(6) 次に、無電解めっき用接着剤表面に無電解めっきを施し、粗化面全面に無電解めっき膜を形成する（図８参照）。このとき、無電解めっき膜の厚みは0.1～５μm、より望ましくは 0.5～３μmとする。つぎに、無電解めっき膜上にめっきレジストを形成する（図９参照）。めっきレジスト組成物としては、特にクレゾールノボラックやフェノールノボラック型エポキシ樹脂のアクリレートとイミダゾール硬化剤からなる組成物を用いることが望ましいが、他に市販品を使用することもできる。

【００３０】(7) 次に、めっきレジスト非形成部に電解めっきを施し、導体回路、ならびにバイアホールを形成する（図10参照）。このとき、電解めっき膜の厚さは、５～30μmが望ましい。ここで、上記無電解めっきとしては、銅めっきを用いることが望ましい。

【００３１】(8) さらに、めっきレジストを除去した後、硫酸と過酸化水素の混合液や過硫酸ナトリウム、過硫酸アンモニウムなどのエッチング液でめっきレジスト下の無電解めっき膜を溶解除去して、独立した導体回路とする（図11参照）。

【００３２】(9) 次に、導体回路の表面に粗化層を形成する（図12参照）。粗化層の形成方法としては、エッチング処理、研磨処理、酸化還元処理、めっき処理がある。これらの処理のうち酸化還元処理は、NaOH（10ｇ／l）、$NaClO_2$（40ｇ／l）、Na_3PO_4（６ｇ／l）を酸化浴（黒化浴）、NaOH（10ｇ／l）、$NaBH_4$（５ｇ／l）を還元浴とする。また、銅－ニッケルーリン合金層からなる粗化層は、無電解めっき処理による析出により形成する。この合金の無電解めっき液としては、硫酸銅１～40ｇ／l、硫酸ニッケル 0.1～6.0 ｇ／l、クエン酸10～20ｇ／l、次亜リン酸塩10～100 ｇ／l、ホウ酸10～40ｇ／l、界面活性剤0.01～10ｇ／lからなる液組成のめっき浴を用いることが望ましい。

【００３３】(10)次に、この基板上に層間樹脂絶縁層として、無電解めっき用接着剤層を形成する（図13参照）。

(11)さらに、(3)～(8) の工程を繰り返してさらに上層の導体回路を設ける（図14～17参照）。なお、ここで、導体回路の表面には前記(9) と同様にして粗化層を形成してもよい。

【００３４】(12)次に、こうして得られた配線基板の表面に、ソルダーレジスト組成物を塗布し、その塗膜を乾燥した後、この塗膜に、開口部を描画したフォトマスクフィルムを載置して露光、現像処理することにより、導体回路のうちパッド部分を露出させた開口部を形成する。ここで、前記開口部の開口径は、パッドの径よりも大きくすることができ、パッドを完全に露出させてもよい。また、逆に前記開口部の開口径は、パッドの径よりも小さくすることができ、パッドの縁周をソルダーレジ

ストで被覆することができる。この場合、パッドをソルダーレジストで抑えることができ、パッドの剥離を防止できる。

【００３５】(13)次に、前記開口部から露出した前記パッド部上に「ニッケルー金」の金属層を形成する。

【００３６】(14)次に、前記開口部から露出した前記パッド部上にはんだ体を供給する。はんだ体の供給方法としては、はんだ転写法や印刷法を用いることができる。ここで、はんだ転写法は、プリプレグにはんだ箔を貼合し、このはんだ箔を開口部分に相当する箇所のみを残してエッチングすることによりはんだパターンを形成してはんだキャリアフィルムとし、このはんだキャリアフィルムを、基板のソルダーレジスト開口部分にフラックスを塗布した後、はんだパターンがパッドに接触するように積層し、これを加熱して転写する方法である。一方、印刷法は、パッドに相当する箇所に貫通孔を設けたメタルマスクを基板に載置し、はんだペーストを印刷して加熱処理する方法である。

【００３７】

【実施例】（実施例１）

(1) 厚さ0.6㎜ のガラスエポキシ樹脂またはＢＴ（ビスマレイミドトリアジン）樹脂からなる基板１の両面に18μｍの銅箔８がラミネートされてなる銅張積層板を出発材料とした（図１参照）。この銅張積層板の銅箔８を常法に従いパターン状にエッチング、穴明け、無電解めっきを施すことにより、基板の両面に内層銅パターン４とスルーホール９を形成した（図２参照）。さらに、導体回路４間およびスルーホール９内にビスフェノールＦ型エポキシ樹脂を充填した（図３参照）。

【００３８】(2) 前記(1) の処理を終えた基板を水洗いし、乾燥した後、その基板を酸性脱脂してソフトエッチングし、次いで、塩化パラジウムと有機酸からなる触媒溶液で処理して、Ｐｄ触媒を付与し、この触媒を活性化した後、硫酸銅８ｇ／ｌ、硫酸ニッケル 0.6ｇ／ｌ、クエン酸15ｇ／ｌ、次亜リン酸ナトリウム29ｇ／ｌ、ホウ酸31ｇ／ｌ、界面活性剤 0.1ｇ／ｌ、ｐＨ＝９からなる無電解めっき浴にてめっきを施し、銅導体回路４の表面にCu－Ni－Ｐ合金の厚さ 2.5μｍの粗化層11（凹凸層）を形成した（図４参照）。

【００３９】(3) DMDG（ジエチレングリコールジメチルエーテル）に溶解したクレゾールノボラック型エポキシ樹脂（日本化薬製、分子量2500）の25%アクリル化物を70重量部、ポリエーテルスルフォン（ＰＥＳ）30重量部、イミダゾール硬化剤（四国化成製、商品名：2E4MZ-CN）４重量部、感光性モノマーであるカプロラクトン変成トリス（アクロキシエチル）イソシアヌレート（東亜合成製、商品名：アロニックスM325 ）10重量部、光開始剤としてのベンゾフェノン（関東化学製）５重量部、光増感剤としてのミヒラーケトン（関東化学製）0.5 重量部、さらにこの混合物に対してエポキシ樹脂粒子の平均粒径 5.5μｍのものを35重量部、平均粒径 0.5μｍのものを５重量部を混合した後、ＮＭＰ（ノルマルメチルピロリドン）を添加しながら混合し、ホモディスパー撹拌機で粘度12Pa・ｓに調整し、続いて３本ロールで混練して感光性接着剤溶液（層間樹脂絶縁材）を得た。

【００４０】(4) 前記(3) で得た感光性接着剤溶液を、前記(2) の処理を終えた基板の両面に、ロールコータを用いて塗布し、水平状態で20分間放置してから、60℃で30分間の乾燥を行い、厚さ60μｍの接着剤層２を形成した（図５参照）。

(5) 前記(4) で接着剤層２を形成した基板の両面に、バイアホールが描画されたフォトマスクフィルムを載置し、紫外線を照射して露光した。

【００４１】(6) 露光した基板をDMTG（トリエチレングリコールジメチルエーテル）溶液でスプレー現像することにより、接着剤層に 100μｍφのバイアホールとなる開口を形成した。さらに、当該基板を超高圧水銀灯にて3000mJ／cm^2 で露光し、100℃で１時間、その後 150℃で５時間にて加熱処理することにより、フォトマスクフィルムに相当する寸法精度に優れ、３個集合して形成された開口（バイアホール形成用開口６）を有する厚さ50μｍの接着剤層２を形成した（図６参照）。なお、バイアホールとなる開口６には、粗化層11を部分的に露出させる。

【００４２】(7) 前記(5)(6)でバイアホール形成用開口６を形成した基板を、クロム酸に２分間浸漬し、接着剤層表面に存在するエポキシ樹脂粒子を溶解除去して、当該接着剤層の表面を粗化し、その後、中和溶液（シプレイ社製）に浸漬してから水洗した（図７参照）。

(8) 前記(7) で粗面化処理（粗化深さ５μｍ）を行った基板に対し、パラジウム触媒（アトテック製）を付与することにより、接着剤層２およびバイアホール用開口６の表面に触媒核を付与した。

【００４３】(9) 以下の組成の無電解銅めっき浴中に基板を浸漬して、粗面全体に厚さ３μｍの無電解銅めっき膜12を形成した（図８参照）。

〔無電解めっき液〕

ＥＤＴＡ	150 ｇ／ｌ
硫酸銅	20 ｇ／ｌ
ＨＣＨＯ	30 ｍｌ／ｌ
ＮａＯＨ	40 ｇ／ｌ
α、α'－ビピリジル	80 ｍｇ／ｌ
ＰＥＧ	0.1 ｇ／ｌ

〔無電解めっき条件〕70℃の液温度で30分

【００４４】(10)前記(9) で形成した無電解銅めっき膜12上に市販の感光性ドライフィルムを貼り付け、マスクを載置して、 100mJ／cm^2 で露光、0.8 %炭酸ナトリウムで現像処理し、厚さ15μｍのめっきレジスト３を設けた（図９参照）。

【００４５】(11)ついで、以下の条件で電解銅めっきを

施し、厚さ15μｍの電解銅めっき膜13を形成した（図10＊　＊参照）。

〔電解めっき液〕

硫酸	180 g／l
硫酸銅	80 g／l
添加剤（アトテックジャパン製、商品名：カパラシドＧＬ）	1 ml／l

〔電解めっき条件〕

電流密度	１Ａ／dm^2
時間	30分
温度	室温

【００４６】(12)めっきレジスト３を５％ＫＯＨで剥離除去した後、そのめっきレジスト３下の無電解めっき膜12を硫酸と過酸化水素の混合液でエッチング処理して溶解除去し、無電解銅めっき膜12と電解銅めっき膜13からなる厚さ18μｍの導体回路（バイアホールを含む）５を形成した（図11参照）。

【００４７】(13)導体回路５を形成した基板を、硫酸銅８ｇ／ｌ、硫酸ニッケル 0.6ｇ／ｌ、クエン酸15ｇ／ｌ、次亜リン酸ナトリウム29ｇ／ｌ、ホウ酸31ｇ／ｌ、界面活性剤 0.1ｇ／ｌからなるｐＨ＝９の無電解めっき液に浸漬し、該導体回路５の表面に厚さ３μｍの銅－ニッケル－リンからなる粗化層11を形成した（図12参照）。このとき、形成した粗化層11をＥＰＭＡ（蛍光Ｘ線分析装置）で分析したところ、Cu： 98mol%、Ni：1.5mol%、Ｐ：0.5mol%の組成比を示した。

【００４８】(14)（4)～(12)の工程を繰り返すことにより、さらに上層の導体回路を形成した配線基板を得た（図13～17参照）。

【００４９】(15)一方、ＤＭＤＧに溶解させた60重量%のクレゾールノボラック型エポキシ樹脂（日本化薬製）のエポキシ基50%をアクリル化した感光性付与のオリゴマー（分子量4000）を 46.67ｇ、メチルエチルケトンに溶解させた80重量%のビスフェノールＡ型エポキシ樹脂（油化シェル製、エピコート1001）15.0ｇ、イミダゾール硬化剤（四国化成製、商品名：2E4MZ-CN）1.6 ｇ、感光性モノマーである多価アクリルモノマー（日本化薬製、商品名：Ｒ604 ）３ｇ、同じく多価アクリルモノマー（共栄社化学製、商品名：DPE6A ） 1.5ｇ、分散系消泡剤（サンノプコ社製、商品名：Ｓ－65）0.71ｇを混合し、さらにこの混合物に対して光開始剤としてのベンゾフェノン（関東化学製）を２ｇ、光増感剤としてのミヒラーケトン（関東化学製）を0.2 ｇ加えて、粘度を25℃で 2.0Pa・ｓに調整したソルダーレジスト組成物を得た。なお、粘度測定は、Ｂ型粘度計（東京計器、 DVL-B型）で 60rpmの場合はローターNo.4、６rpm の場合はローターNo.3によった。

【００５０】(16)前記(14)で得られた配線基板に、ソルダーレジスト組成物を20μｍの厚さで塗布した。次いで、70℃で20分間、70℃で30分間の乾燥処理を行った後、フォトマスクフィルムを載置し、1000mJ／cm^2 の紫外線で露光し、DMTG現像処理した。さらに、80℃で１時間、 100℃で１時間、 120℃で１時間、 150℃で３時間の条件で加熱処理し、パッド部分が開口した（開口径 200μｍ）ソルダーレジスト層（厚み20μｍ）を形成した。

【００５１】(17)次に、ソルダーレジスト層を形成した基板を、塩化ニッケル30ｇ／ｌ、次亜リン酸ナトリウム10ｇ／ｌ、クエン酸ナトリウム10ｇ／ｌからなるｐＨ＝５の無電解ニッケルめっき液に20分間浸漬して、開口部に厚さ５μｍのニッケルめっき層を形成した。さらに、その基板を、シアン化金カリウム２ｇ／ｌ、塩化アンモニウム75ｇ／ｌ、クエン酸ナトリウム50ｇ／ｌ、次亜リン酸ナトリウム10ｇ／ｌからなる無電解金めっき液に93℃の条件で23秒間浸漬して、ニッケルめっき層上に厚さ0.03μｍの金めっき層を形成した。

【００５２】(18)そして、ソルダーレジスト層の開口部に、はんだペーストを印刷して 200℃でリフローすることによりはんだバンプを形成し、はんだバンプを有するプリント配線板を製造した。

【００５３】（実施例２）導体回路表面の粗化をエッチングにより行ったこと以外は、実施例１と同様にしてはんだバンプを有するプリント配線板を製造した。このとき、エッチング液は、メック社製の「デュラボンド」なる商品名のものを使用した。

【００５４】（実施例３）

Ａ．無電解めっき用接着剤組成物の調製

①．クレゾールノボラック型エポキシ樹脂（日本化薬製、分子量2500）の25%アクリル化物を80wt%の濃度でＤＭＤＧに溶解させた樹脂液を35重量部、感光性モノマー（東亜合成製、アロニックスM315 ）3.15重量部、消泡剤（サンノプコ製、Ｓ－65）0.5 重量部、ＮＭＰを3.6 重量部を撹拌混合した。

②．ポリエーテルスルフォン（ＰＥＳ）12重量部、エポキシ樹脂粒子（三洋化成製、ポリマーポール）の平均粒径 1.0μｍのものを7.2 重量部、平均粒径0.5μｍのものを3.09重量部を混合した後、さらにＮＭＰ30重量部を添加し、ビーズミルで撹拌混合した。

③．イミダゾール硬化剤（四国化成製、2E4MZ-CN）２重量部、光開始剤（チバガイギー製、イルガキュア Ｉ－907 ）２重量部、光増感剤（日本化薬製、DETX-S）0.2

重量部、NMP1.5 重量部を撹拌混合した。これらを混合して無電解めっき用接着剤組成物を調製した。

【００５５】B．下層の層間樹脂絶縁剤の調製

①．クレゾールノボラック型エポキシ樹脂（日本化薬製、分子量2500）の25%アクリル化物を80wt%の濃度でDMDGに溶解させた樹脂液を35重量部、感光性モノマー（東亜合成製、アロニックスM315 ）４重量部、消泡剤（サンノプコ製、Ｓ－65）0.5 重量部、NMPを3.6 重量部を撹拌混合した。

②．ポリエーテルスルフォン（ＰＥＳ）12重量部、エポキシ樹脂粒子（三洋化成製、ポリマーポール）の平均粒径 0.5μmのものを14.49 重量部、を混合した後、さらにNMP30重量部を添加し、ビーズミルで撹拌混合した。

③．イミダゾール硬化剤（四国化成製、2E4MZ-CN）２重量部、光開始剤（チバガイギー製、イルガキュア Ｉ－907 ）２重量部、光増感剤（日本化薬製、DETX-S）0.2 重量部、NMP1.5 重量部を撹拌混合した。これらを混合して、２層構造の層間樹脂絶縁層を構成する下層側の絶縁剤層として用いられる樹脂組成物を調製した。

【００５６】C．樹脂充填剤の調製

①．ビスフェノールＦ型エポキシモノマー（油化シェル製、分子量310,YL983U）100重量部、表面にシランカップリング剤がコーティングされた平均粒径 1.6μmのSiO₂ 球状粒子（アドマテック製、CRS 1101－CE、ここで、最大粒子の大きさは後述する内層銅パターンの厚み（15μm）以下とする） 170重量部、レベリング剤（サンノプコ製、ペレノールＳ４）1.5 重量部を３本ロールにて混練して、その混合物の粘度を23±１℃で45,000～49,000cps に調整した。

②．イミダゾール硬化剤（四国化成製、2E4MZ-CN）6.5 重量部。これらを混合して樹脂充填剤10の調製した。

【００５７】D．プリント配線板の製造方法

(1) 厚さ１mmのガラスエポキシ樹脂またはＢＴ（ビスマレイミドトリアジン）樹脂からなる基板１の両面に18μmの銅箔８がラミネートされている銅張積層板を出発材料とした（図21参照）。まず、この銅張積層板をドリル削孔し、めっきレジストを形成した後、無電解めっき処理してスルーホール９を形成し、さらに、銅箔８を常法に従いパターン状にエッチングすることにより、基板１の両面に内層銅パターン４を形成した。

【００５８】(2) 内層銅パターン４およびスルーホール９を形成した基板を水洗いし、乾燥した後、酸化浴（黒化浴）として、NaOH（10ｇ／１）、$NaClO_2$（40ｇ／１）、Na_3PO_4（６ｇ／１）、還元浴として、NaOH（10ｇ／１），$NaBH_4$ （６ｇ／１）を用いた酸化－還元処理により、内層銅パターン４およびスルーホール９の表面に粗化層11を設けた（図22参照）。

【００５９】(3) 樹脂充填剤10を、基板の片面にロールコータを用いて塗布することにより、導体回路４間あるいはスルーホール９内に充填し、70℃，20分間で乾燥させ、他方の面についても同様にして樹脂充填剤10を導体回路４間あるいはスルーホール９内に充填し、70℃，20分間で加熱乾燥させた（図23参照）。

【００６０】(4) 前記(3) の処理を終えた基板の片面を、＃600 のベルト研磨紙（三共理化学製）を用いたベルトサンダー研磨により、内層銅パターン４の表面やスルーホール９のランド表面に樹脂充填剤10が残らないように研磨し、次いで、前記ベルトサンダー研磨による傷を取り除くためのバフ研磨を行った。このような一連の研磨を基板の他方の面についても同様に行った。次いで、100 ℃で１時間、120 ℃で３時間、 150℃で１時間、 180℃で７時間の加熱処理を行って樹脂充填剤10を硬化した（図24参照）。

【００６１】このようにして、スルーホール９等に充填された樹脂充填剤10の表層部および内層導体回路４上面の粗化層11を除去して基板両面を平滑化し、樹脂充填剤10と内層導体回路４の側面とが粗化層11を介して強固に密着し、またスルーホール９の内壁面と樹脂充填剤10とが粗化層11を介して強固に密着した配線基板を得た。即ち、この工程により、樹脂充填剤10の表面と内層銅パターン４の表面が同一平面となる。ここで、充填した硬化樹脂のＴｇ点は155.6 ℃、線熱膨張係数は44.5×10^{-6}／℃であった。

【００６２】(5) 前記(4) の処理で露出した内層導体回路４およびスルーホール９のランド上面に厚さ 2.5μmのCu－Ni－Ｐ合金からなる粗化層（凹凸層）11を形成し、さらに、その粗化層11の表面に厚さ 0.3μmのSn層を設けた（図25参照、但し、Sn層については図示しない）。その形成方法は以下のようである。即ち、基板を酸性脱脂してソフトエッチングし、次いで、塩化パラジウムと有機酸からなる触媒溶液で処理して、Pd触媒を付与し、この触媒を活性化した後、硫酸銅８ｇ／ｌ、硫酸ニッケル 0.6ｇ／ｌ、クエン酸15ｇ／ｌ、次亜リン酸ナトリウム29ｇ／ｌ、ホウ酸31ｇ／ｌ、界面活性剤 0.1ｇ／ｌ、ｐＨ＝９からなる無電解めっき浴にてめっきを施し、銅導体回路４上面およびスルーホール９のランド上面にCu－Ni－Ｐ合金の粗化層11を形成した。ついで、ホウフッ化スズ0.1mol／ｌ、チオ尿素1.0mol／ｌ、温度50℃、ｐＨ＝1.2 の条件でCu－Sn置換反応させ、粗化層11の表面に厚さ0.3 μmのSn層を設けた（Sn層については図示しない）。

【００６３】(6) 前記(5) の基板の両面に、Ｂの層間樹脂絶縁剤（粘度1.5 Pa・ｓ） をロールコータで塗布し、水平状態で20分間放置してから、60℃で30分の乾燥（プリベーク）を行い、絶縁剤層2aを形成した。さらにこの絶縁剤層2aの上にＡの無電解めっき用接着剤（粘度７Pa・ｓ）をロールコータを用いて塗布し、水平状態で20分間放置してから、60℃で30分の乾燥（プリベーク）を行い、接着剤層2bを形成した（図26参照）。

【００６４】(7) 前記(6) で絶縁剤層2aおよび接着剤層2bを形成した基板の両面に、85μｍφの黒円が印刷されたフォトマスクフィルムを密着させ、超高圧水銀灯により 500mJ／cm^2 で露光した。これをＤＭＴＧ溶液でスプレー現像し、さらに、当該基板を超高圧水銀灯により3000mJ／cm^2 で露光し、100 ℃で１時間、その後 150℃で５時間の加熱処理（ポストベーク）をすることにより、フォトマスクフィルムに相当する寸法精度に優れた85μｍφの開口（バイアホール形成用開口６）を有する厚さ35μｍの層間樹脂絶縁層（２層構造）２を形成した（図27参照）。なお、バイアホールとなる開口には、スズめっき層を部分的に露出させた。

【００６５】(8) 開口が形成された基板を、 800ｇ／ｌのクロム酸に70℃で19分間浸漬し、層間樹脂絶縁層２の接着剤層2bの表面に存在するエポキシ樹脂粒子を溶解除去することにより、当該層間樹脂絶縁層２の表面を粗面（深さ３μｍ）とし、その後、中和溶液（シプレイ社製）に浸漬してから水洗いした（図28参照）。さらに、粗面化処理した該基板の表面に、パラジウム触媒（アトテック製）を付与することにより、層間樹脂絶縁層２の表面およびバイアホール用開口６の内壁面に触媒核を付けた。

【００６６】(9) 以下の組成の無電解銅めっき浴中に基板を浸漬して、粗面全体に厚さ0.6 μｍの無電解銅めっき膜12を形成した（図29参照）。

〔無電解めっき液〕

ＥＤＴＡ	150 ｇ／ｌ
硫酸銅	20 ｇ／ｌ
ＨＣＨＯ	30 ｍｌ／ｌ
ＮａＯＨ	40 ｇ／ｌ
α、α’－ビピリジル	80 ｍｇ／ｌ
ＰＥＧ	0.1 ｇ／ｌ

〔無電解めっき条件〕 70℃の液温度で30分

【００６７】(10)前記(9) で形成した無電解銅めっき膜12上に市販の感光性ドライフィルムを貼り付け、マスクを載置して、100 mJ／cm^2 で露光、0.8 ％炭酸ナトリウムで現像処理し、厚さ15μｍのめっきレジスト３を設けた（図30参照）。

【００６８】(11)ついで、レジスト非形成部分に以下の条件で電解銅めっきを施し、厚さ15μｍの電解銅めっき膜13を形成した（図31参照）。

〔電解めっき液〕

硫酸	180 ｇ／ｌ
硫酸銅	80 ｇ／ｌ
添加剤（アトテックジャパン製、カパラシドＧＬ）	1 ｍｌ／ｌ

〔電解めっき条件〕

電流密度	１Ａ／dm^2
時間	30分
温度	室温

【００６９】(12)めっきレジスト３を５％ＫＯＨで剥離除去した後、そのめっきレジスト３下の無電解めっき膜12を硫酸と過酸化水素の混合液でエッチング処理して溶解除去し、無電解銅めっき膜12と電解銅めっき膜13からなる厚さ18μｍの導体回路（バイアホールを含む）５を形成した。さらに、70℃で800ｇ／ｌ のクロム酸に３分間浸漬して、導体回路非形成部分に位置する導体回路間の無電解めっき用接着剤層の表面を１～２μｍエッチング処理し、その表面に残存するパラジウム触媒を除去した（図32参照）。

【００７０】(13)導体回路５を形成した基板を、硫酸銅８ｇ／ｌ、硫酸ニッケル 0.6ｇ／ｌ、クエン酸15ｇ／ｌ、次亜リン酸ナトリウム29ｇ／ｌ、ホウ酸31ｇ／ｌ、界面活性剤 0.1ｇ／ｌからなるｐＨ＝９の無電解めっき液に浸漬し、該導体回路５の表面に厚さ３μｍの銅－ニッケルーリンからなる粗化層11を形成した（図33参照）。このとき、形成した粗化層11をＥＰＭＡ（蛍光Ｘ線分析装置）で分析したところ、Cu ： 98mol％、Ni ： 1.5 mol％、P： 0.5mol％の組成比であった。さらに、ホウフッ化スズ0.1mol／ｌ、チオ尿素1.0mol／ｌ、温度50℃、ｐＨ＝1.2 の条件でCu－Sn置換反応を行い、前記粗化層11の表面に厚さ 0.3μｍのSn層を設けた（Sn層については図示しない）。

【００７１】(14)前記 (6)～(13)の工程を繰り返すことにより、さらに上層の導体回路を形成し、多層プリント配線板を得た。但し、Sn置換は行わなかった（図34～39参照）。

【００７２】(15)一方、ＤＭＤＧに溶解させた60重量％のクレゾールノボラック型エポキシ樹脂（日本化薬製）のエポキシ基50％をアクリル化した感光性付与のオリゴマー（分子量4000）を 46.67ｇ、メチルエチルケトンに溶解させた80重量％のビスフェノールＡ型エポキシ樹脂（油化シェル製、エピコート1001）15.0ｇ、イミダゾール硬化剤（四国化成製、2E4MZ-CN）1.6 ｇ、感光性モノマーである多価アクリルモノマー（日本化薬製、Ｒ604）３ｇ、同じく多価アクリルモノマー（共栄社化学製、DPE6A ） 1.5ｇ、分散系消泡剤（サンノプコ社製、Ｓ－65）0.71ｇを混合し、さらにこの混合物に対して光開始剤としてのベンゾフェノン（関東化学製）を２ｇ、光増感剤としてのミヒラーケトン（関東化学製）を 0.2ｇ加えて、粘度を25℃で 2.0Pa・ｓに調整したソルダーレジスト組成物を得た。なお、粘度測定は、Ｂ型粘度計（東京計器、 DVL-B型）で 60rpmの場合はローターNo. 4、６rpm の場合はローターNo.3によった。

【００７３】(16)前記(14)で得られた多層配線基板の両面に、上記ソルダーレジスト組成物を20μｍの厚さで塗布した。次いで、70℃で20分間、70℃で30分間の乾燥処理を行った後、円パターン（マスクパターン）が描画された厚さ５㎜のフォトマスクフィルムを密着させて載置し、1000mJ／cm^2 の紫外線で露光し、DMTG現像処理し

た。そしてさらに、80℃で１時間、 100℃で１時間、 120℃で１時間、 150℃で３時間の条件で加熱処理し、はんだパッド部分（バイアホールとそのランド部分を含む）を開口した（開口径 200μｍ）ソルダーレジスト層（厚み20μｍ）14を形成した。

【００７４】(17)次に、ソルダーレジスト層14を形成した基板を、塩化ニッケル30ｇ／ｌ、次亜リン酸ナトリウム10ｇ／ｌ、クエン酸ナトリウム10ｇ／ｌからなるｐＨ＝５の無電解ニッケルめっき液に20分間浸漬して、開口部に厚さ５μｍのニッケルめっき層15を形成した。さらに、その基板を、シアン化金カリウム２ｇ／ｌ、塩化アンモニウム75ｇ／ｌ、クエン酸ナトリウム50ｇ／ｌ、次亜リン酸ナトリウム10ｇ／ｌからなる無電解金めっき液に93℃の条件で23秒間浸漬して、ニッケルめっき層15上に厚さ0.03μｍの金めっき層16を形成した。

【００７５】(18)そして、ソルダーレジスト層14の開口部に、はんだペーストを印刷して 200℃でリフローすることによりはんだバンプ（はんだ体）17を形成し、はんだバンプ17を有するプリント配線板を製造した（図40参照）。

【００７６】（比較例）実施例１の(1), (2), (3), (4), (5), (6), (7), (8) の処理後、ドライフィルムフォトレジストをラミネートし、露光、現像処理することにより、めっきレジストを形成した。ついで、実施例１の(9) を実施後、(12)の工程と同様にしてめっきレジストを剥離し、実施例１の(13)の処理を行い導体回路の全表面を粗化した。さらに、層間樹脂絶縁層の形成、粗化処理、めっきレジストの形成、無電解銅めっき処理を同様に施し、めっきレジストを剥離した後、実施例１の(15), (16), (17), (18), (19)の処理により、はんだバンプを有するプリント配線板を製造した。

【００７７】実施例、比較例で製造したプリント配線板につき、ＩＣチップを実装し、−55℃で15分、常温10分、125 ℃で15分で1000回、および2000回のヒートサイクル試験を実施した。試験の評価は、試験後のプリント配線板におけるクラックの発生を走査型電子顕微鏡で確認した。また、ピール強度も測定した。ピール強度は、JIS-C-6481に従った。

【００７８】その結果、クラックは、1000回程度では、比較例、実施例１～３とも見られなかったが、2000回では、比較例において観察された。ピール強度は、導体回路が無電解めっき膜のみで形成されている場合に比べて同等か、それよりやや高い値が得られた。このように、本発明では、実用的なピール強度を確保しつつ、層間樹脂絶縁層に発生するクラックを防止できるのである。

【００７９】

【表１】

	1000回	2000回	ピール強度
実施例１	無し	無し	1.2kg/cm
実施例２	無し	無し	1.0kg/cm
実施例３	無し	無し	1.0kg/cm
比較例	無し	有り	0.9kg/cm

【００８０】

【発明の効果】以上説明したように本発明によれば、ピール強度の低下を防止しつつ、ヒートサイクル時におけるクラックの発生を防止して接続信頼性を向上させることが可能である。

【図面の簡単な説明】

【図１】発明にかかる多層プリント配線板の製造工程図である。

【図２】発明にかかる多層プリント配線板の製造工程図である。

【図３】発明にかかる多層プリント配線板の製造工程図である。

【図４】発明にかかる多層プリント配線板の製造工程図である。

【図５】発明にかかる多層プリント配線板の製造工程図である。

【図６】発明にかかる多層プリント配線板の製造工程図である。

【図７】発明にかかる多層プリント配線板の製造工程図である。

【図８】発明にかかる多層プリント配線板の製造工程図である。

【図９】発明にかかる多層プリント配線板の製造工程図である。

【図１０】発明にかかる多層プリント配線板の製造工程図である。

【図１１】発明にかかる多層プリント配線板の製造工程図である。

【図１２】発明にかかる多層プリント配線板の製造工程図である。

【図１３】発明にかかる多層プリント配線板の製造工程図である。

【図１４】発明にかかる多層プリント配線板の製造工程図である。

【図１５】発明にかかる多層プリント配線板の製造工程図である。

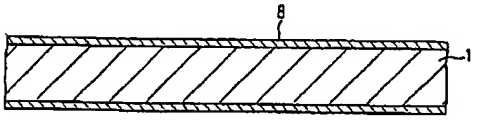
【図１６】発明にかかる多層プリント配線板の製造工程

図である。
【図１７】発明にかかる多層プリント配線板の製造工程図である。
【図１８】発明にかかる多層プリント配線板の構造拡大図である。
【図１９】発明にかかる多層プリント配線板の構造拡大図である。
【図２０】銅－ニッケルーリンの粗化層の組成を表す三角図である。
【図２１】発明にかかる多層プリント配線板の各製造工程を示す図である。
【図２２】発明にかかる多層プリント配線板の各製造工程を示す図である。
【図２３】発明にかかる多層プリント配線板の各製造工程を示す図である。
【図２４】発明にかかる多層プリント配線板の各製造工程を示す図である。
【図２５】発明にかかる多層プリント配線板の各製造工程を示す図である。
【図２６】発明にかかる多層プリント配線板の各製造工程を示す図である。
【図２７】発明にかかる多層プリント配線板の各製造工程を示す図である。
【図２８】発明にかかる多層プリント配線板の各製造工程を示す図である。
【図２９】発明にかかる多層プリント配線板の各製造工程を示す図である。
【図３０】発明にかかる多層プリント配線板の各製造工程を示す図である。
【図３１】発明にかかる多層プリント配線板の各製造工程を示す図である。
【図３２】発明にかかる多層プリント配線板の各製造工程を示す図である。
【図３３】発明にかかる多層プリント配線板の各製造工程を示す図である。
＊【図３４】発明にかかる多層プリント配線板の各製造工程を示す図である。
【図３５】発明にかかる多層プリント配線板の各製造工程を示す図である。
【図３６】発明にかかる多層プリント配線板の各製造工程を示す図である。
【図３７】発明にかかる多層プリント配線板の各製造工程を示す図である。
【図３８】発明にかかる多層プリント配線板の各製造工程を示す図である。
【図３９】発明にかかる多層プリント配線板の各製造工程を示す図である。
【図４０】発明にかかる多層プリント配線板の各製造工程を示す図である。

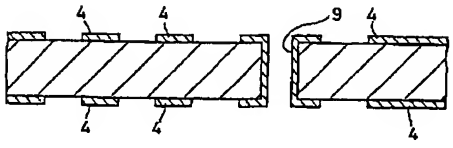
【符号の説明】
1　基板
2　層間樹脂絶縁層（無電解めっき用接着剤層）
2a　絶縁剤層
2b　接着剤層
3　めっきレジスト
4　内層導体回路（内層銅パターン）
5　外層導体回路（外層銅パターン）
6　バイアホール用開口
7　バイアホール（ＢＶＨ）
8　銅箔
9　スルーホール
１０　充填樹脂（樹脂充填剤）
１１　粗化層
１２　無電解銅めっき膜
１３　電解銅めっき膜
１４　ソルダーレジスト層
１５　ニッケルめっき層
１６　金めっき層
１７　はんだバンプ

＊

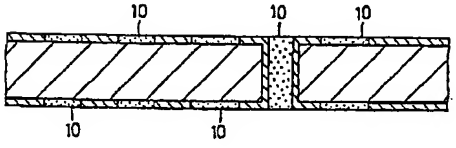
【図１】



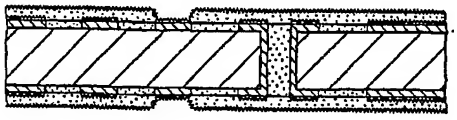
【図２】



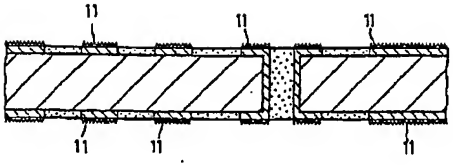
【図３】



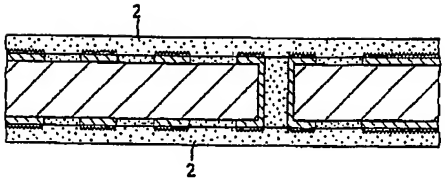
【図７】



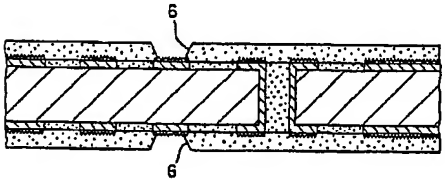
【図４】



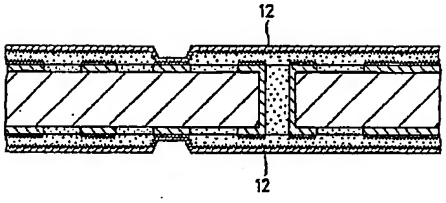
【図５】



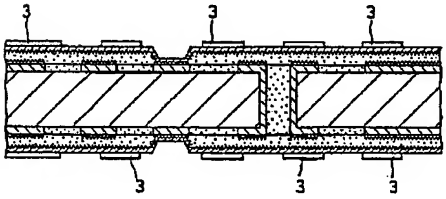
【図６】



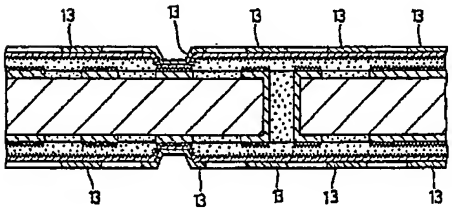
【図８】



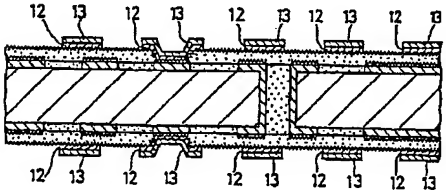
【図９】



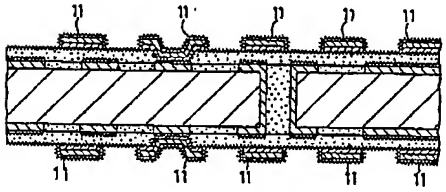
【図１０】



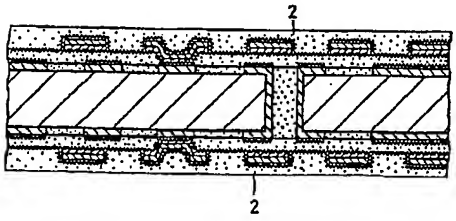
【図１１】



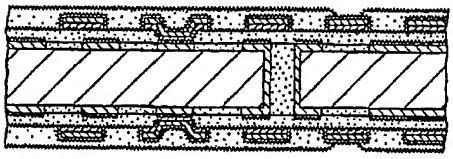
【図１２】



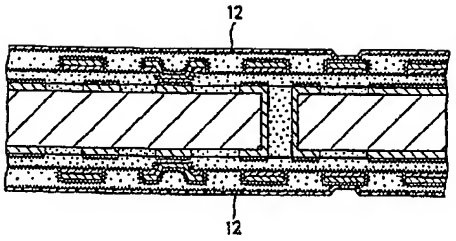
【図１３】



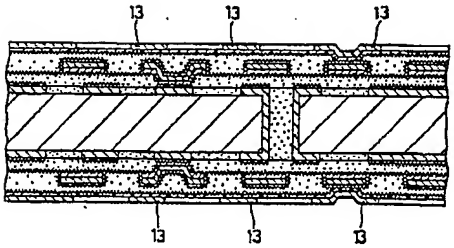
【図１４】



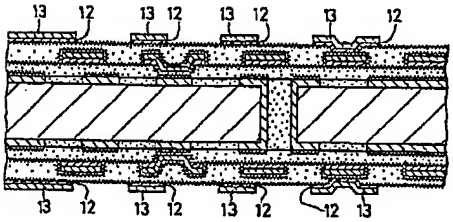
【図１５】



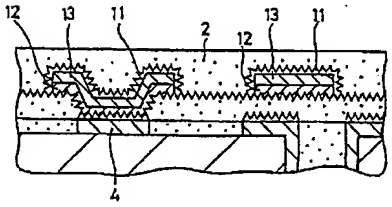
【図１６】



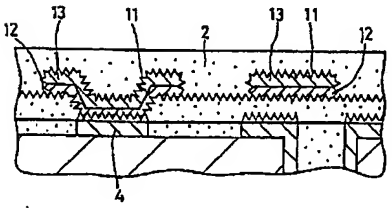
【図１７】



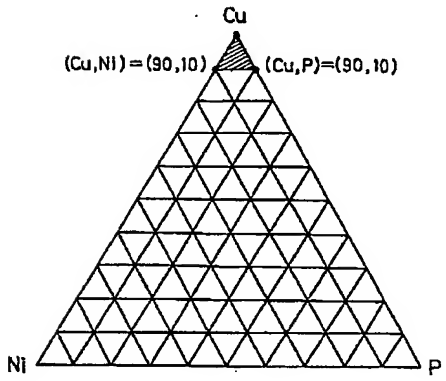
【図１８】



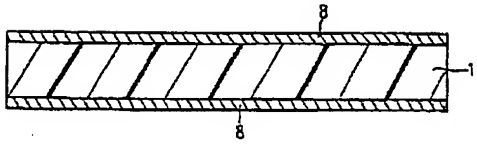
【図１９】



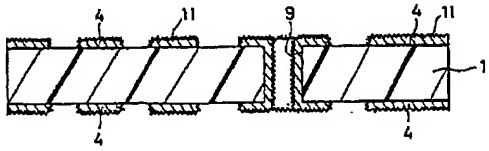
【図２０】



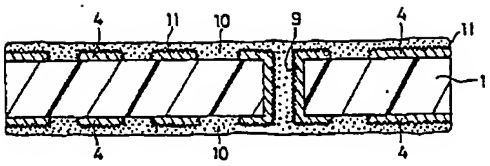
【図２１】



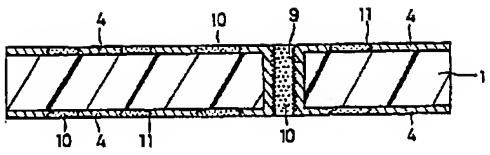
【図２２】



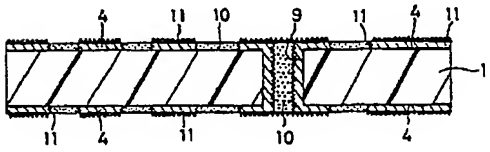
【図２３】



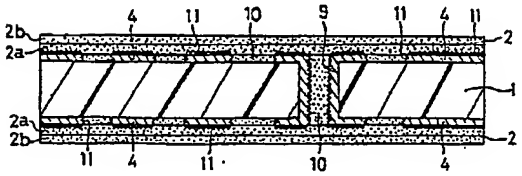
【図２４】



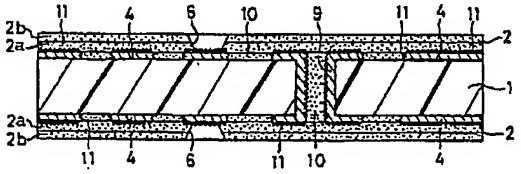
【図２５】



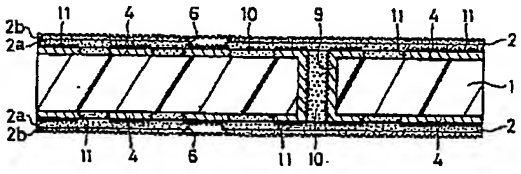
【図２６】



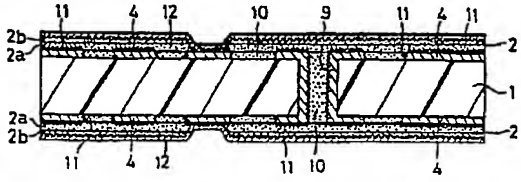
【図２７】



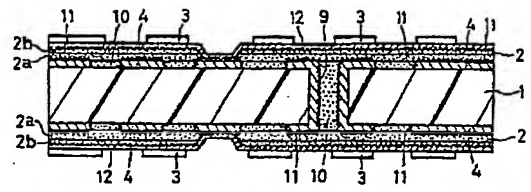
【図２８】



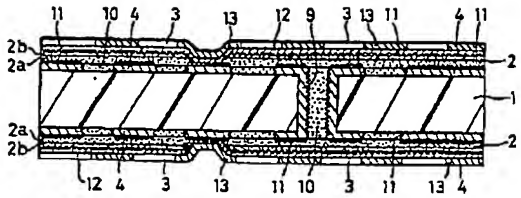
【図２９】



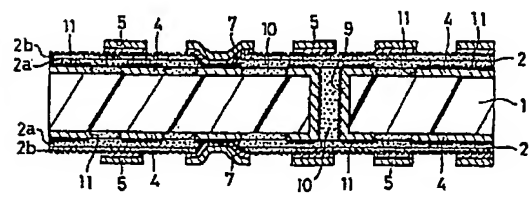
【図３０】



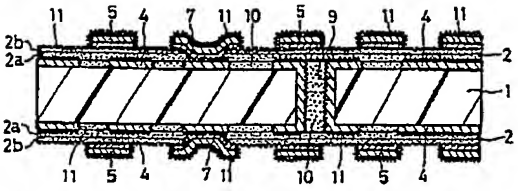
【図３１】



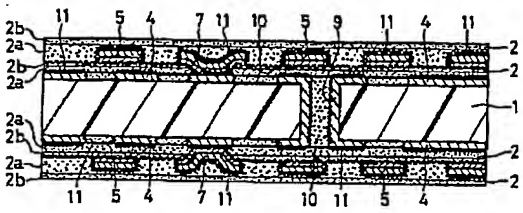
【図３２】



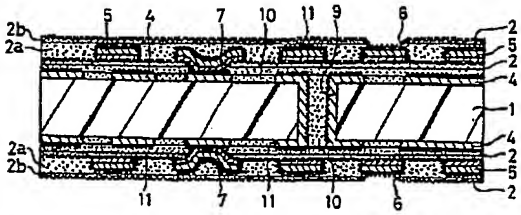
【図３３】



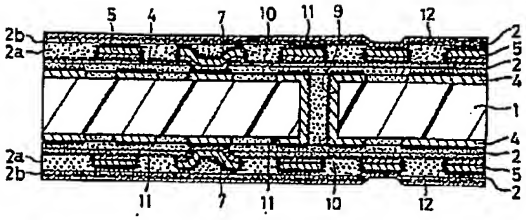
【図３４】



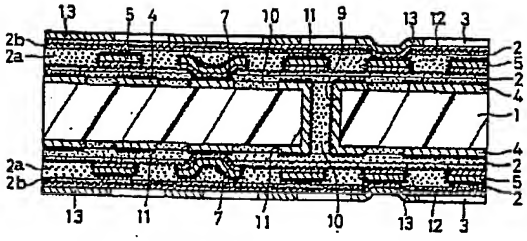
【図３５】



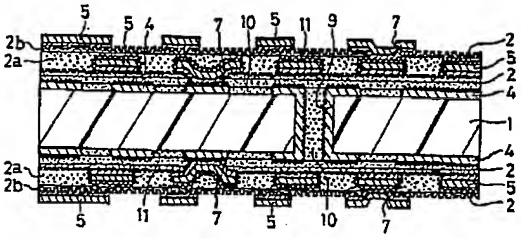
【図３６】



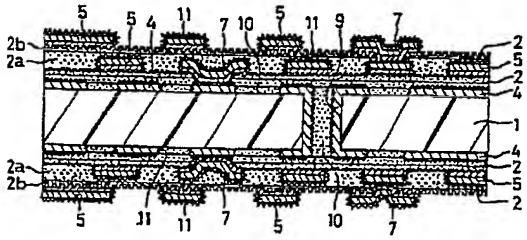
【図３７】



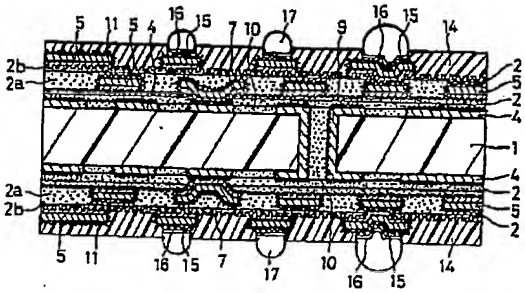
【図３８】



【図３９】



【図４０】



フロントページの続き

Ｆターム(参考) 5E343 AA02 AA17 BB24 CC35 CC62
CC73 DD33 DD43 DD76 EE22
EE37 EE53 ER02 ER16 ER18
GG02 GG04
5E346 AA12 AA15 CC09 CC32 CC54
CC57 DD03 DD25 DD33 DD44
EE33 EE38 FF04 FF07 FF15
GG15 GG17 GG18 GG22 GG23
HH33